

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Yuui SHIMIZU

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: SEMICONDUCTOR MEMORY DEVICE INCLUDING REFERENCE MEMORY CELL AND
CONTROL METHOD

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.

Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed

Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-067901	March 13, 2003

Certified copies of the corresponding Convention Application(s)

are submitted herewith

will be submitted prior to payment of the Final Fee

were filed in prior application Serial No. filed

were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.

(A) Application Serial No.(s) were filed in prior application Serial No. filed ; and

(B) Application Serial No.(s)
 are submitted herewith
 will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Marvin J. Spivak

Registration No. 24,913


C. Irvin McClelland
Registration Number 21,124

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

02809-5

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office

出願年月日

Date of Application: 2003年 3月13日

出願番号

Application Number: 特願2003-067901

[ST.10/C]:

[JP2003-067901]

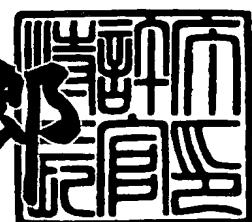
出願人

Applicant(s): 株式会社東芝

2003年 4月11日

特許庁長官
Commissioner,
Japan Patent Office

太田 信一



出証番号 出証特2003-3025688

【書類名】 特許願
【整理番号】 A000203705
【提出日】 平成15年 3月13日
【あて先】 特許庁長官 殿
【国際特許分類】 H01L 21/00
【発明の名称】 半導体記憶装置及びその制御方法
【請求項の数】 31
【発明者】
【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マ
イクロエレクトロニクスセンター内
【氏名】 清水 有威
【特許出願人】
【識別番号】 000003078
【氏名又は名称】 株式会社 東芝
【代理人】
【識別番号】 100058479
【弁理士】
【氏名又は名称】 鈴江 武彦
【電話番号】 03-3502-3181
【選任した代理人】
【識別番号】 100091351
【弁理士】
【氏名又は名称】 河野 哲
【選任した代理人】
【識別番号】 100088683
【弁理士】
【氏名又は名称】 中村 誠
【選任した代理人】
【識別番号】 100108855

【弁理士】

【氏名又は名称】 蔵田 昌俊

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置及びその制御方法

【特許請求の範囲】

【請求項1】 第1方向に沿って複数形成されたワード線と、

前記第1方向に直交する第2方向に沿って複数形成されたビット線と、

第1抵抗値と、該第1抵抗値よりも小さい第2抵抗値とのいずれかを有する磁気抵抗素子を含む第1メモリセルと、

前記第1、第2抵抗値の間の抵抗値を有する磁気抵抗素子を含む第2メモリセルと、

前記ワード線と前記ビット線との交点に配置された前記第1、第2メモリセルを有するメモリセルアレイと、

前記ワード線を選択する行デコーダと、

前記行デコーダによって選択された前記ワード線に第1書き込み電流を供給する行ドライバと、

前記ビット線を選択する列デコーダと、

前記列デコーダによって選択された前記ビット線に第2書き込み電流を供給する列ドライバと、

前記行デコーダと前記列デコーダによって選択された前記第1メモリセルから読み出したデータを增幅するセンスアンプと

を具備することを特徴とする半導体記憶装置。

【請求項2】 前記行ドライバの供給する前記第1書き込み電流の電流値は、前記ワード線に応じて可変である

ことを特徴とする請求項1記載の半導体記憶装置。

【請求項3】 前記行ドライバは、前記第1メモリセルが配置される前記ワード線と、前記第2メモリセルが配置される前記ワード線との間で、異なる値の前記第1書き込み電流を供給する

ことを特徴とする請求項1または2記載の半導体記憶装置。

【請求項4】 前記行ドライバは、前記第1メモリセルが配置される前記ワード線に対応して設けられた第1電流源と、

前記第2メモリセルが配置される前記ワード線に対応して設けられた第2電流源と

を備えることを特徴とする請求項1乃至3いずれか1項記載の半導体記憶装置

【請求項5】 前記第1電流源は、書き込み動作時において、前記第1メモリセルの前記磁気抵抗素子が前記第1、第2抵抗値のいずれかを有するように、前記ワード線に前記第1書き込み電流を供給し、

前記第2電流源は、前記第2メモリセルの前記磁気抵抗素子が前記第1、第2抵抗値の間の抵抗値を有するように、前記ワード線に前記第1書き込み電流を供給する

ことを特徴とする請求項4記載の半導体記憶装置。

【請求項6】 前記列ドライバの供給する前記第2書き込み電流の電流値は、前記ビット線に応じて可変である

ことを特徴とする請求項1記載の半導体記憶装置。

【請求項7】 前記列ドライバは、書き込み動作時において、前記第1メモリセルの前記磁気抵抗素子が前記第1、第2抵抗値のいずれかを有するように、前記ビット線に前記第2書き込み電流を供給し、

前記第2メモリセルの前記磁気抵抗素子が前記第1、第2抵抗値の間の抵抗値を有するように、前記ビット線に前記第2書き込み電流を供給する

ことを特徴とする請求項6記載の半導体記憶装置。

【請求項8】 前記第2メモリセルは、いずれか1本の前記ワード線と、前記ビット線との交点に配置されている

ことを特徴とする請求項1乃至7いずれか1項記載の半導体記憶装置。

【請求項9】 前記センスアンプは、前記第2メモリセルに保持されているデータを基準にして、前記第1メモリセルから読み出したデータを増幅する

ことを特徴とする請求項1乃至8いずれか1項記載の半導体記憶装置。

【請求項10】 前記センスアンプは、前記第1メモリセルから読み出したデータを、前記第2メモリセルから読み出したデータに対する大小によって判別する

ことを特徴とする請求項9記載の半導体記憶装置。

【請求項11】 前記第2メモリセルの前記磁気抵抗素子の抵抗値を前記第1、第2抵抗値の間の値にするために必要な前記第1書き込み電流の値を保持する保持回路を更に備える

ことを特徴とする請求項5記載の半導体記憶装置。

【請求項12】 前記第2メモリセルの前記磁気抵抗素子の抵抗値を前記第1、第2抵抗値の間の値にするために必要な前記第2書き込み電流の値を保持する保持回路を更に備える

ことを特徴とする請求項7記載の半導体記憶装置。

【請求項13】 前記第2メモリセルの磁気抵抗素子の抵抗値が、前記第1、第2抵抗値の間における所定の範囲内にあるか否かを判定する判定回路と、

前記判定回路における判定の結果、前記第2メモリセルの磁気抵抗素子の抵抗値が所定の範囲に無い場合、前記第2メモリセルに対するデータの再書き込みを命令する制御回路と

を更に備えることを特徴とする請求項1記載の半導体記憶装置。

【請求項14】 前記制御回路は、前記再書き込みを命令する際、前記判定回路における判定結果に応じて、前記行ドライバと列ドライバとのいずれか一方が供給する電流の値を制御する

ことを特徴とする請求項13記載の半導体記憶装置。

【請求項15】 第1方向に沿って複数形成されたワード線と、
前記第1方向に直交する第2方向に沿って複数形成されたビット線と、
磁気抵抗素子を含むメモリセルと、

前記ワード線と前記ビット線との交点に配置された前記メモリセルを有するメモリセルアレイと、

前記ワード線を選択する行デコーダと、
前記ビット線を選択する列デコーダと、
前記行デコーダ及び前記列デコーダによってそれぞれ選択された前記ワード線及び前記ビット線に書き込み電流をそれぞれ供給し、前記書き込み電流の電流値が、前記ワード線または前記ビット線に応じて可変であるドライバ回路と、

前記行デコーダと前記列デコーダとによって選択された前記メモリセルから読み出したデータを増幅するセンスアンプと
を具備することを特徴とする半導体記憶装置。

【請求項16】 前記ドライバ回路は、前記複数のワード線のうちの一部に
対応して設けられた第1電流源と、

その他の前記ワード線に対応して設けられた第2電流源と
を備えることを特徴とする請求項15記載の半導体記憶装置。

【請求項17】 前記第2電流源は、書き込み動作時において、前記メモリ
セルの前記磁気抵抗素子の抵抗値が、第1抵抗値と、該第1抵抗値よりも小さい
第2抵抗値とのいずれかを有するように、前記ワード線に前記書き込み電流を供
給し、

前記第1電流源は、前記メモリセルの磁気抵抗素子の抵抗値が、前記第1、第
2抵抗値の間の値を有するように、前記ワード線に前記書き込み電流を供給する
ことを特徴とする請求項16記載の半導体記憶装置。

【請求項18】 前記ドライバ回路は、書き込み動作時において、一部を除
く前記複数のワード線に配置された前記メモリセルの磁気抵抗素子が、第1抵抗
値と、該第1抵抗値よりも小さい第2抵抗値とのいずれかを有するように、前記
ビット線に前記書き込み電流を供給し、

前記一部のワード線に配置された前記メモリセルの磁気抵抗素子が、前記第1
、第2抵抗値の間の値を有するように、前記ビット線に前記書き込み電流を供給
する

ことを特徴とする請求項15記載の半導体記憶装置。

【請求項19】 前記第1、第2抵抗値の間の抵抗値を有する前記メモリセ
ルは、いずれか1本の前記ワード線と、前記ビット線との交点に配置されている
ことを特徴とする請求項17または18項記載の半導体記憶装置。

【請求項20】 前記センスアンプは、前記第1、第2抵抗値の間の抵抗値
を有するメモリセルに保持されているデータを基準にして、前記第1、第2抵抗
値のいずれかを有する前記メモリセルから読み出したデータを増幅する
ことを特徴とする請求項17乃至19いずれか1項記載の半導体記憶装置。

【請求項21】 前記センスアンプは、前記第1、第2抵抗値のいずれかを有する前記メモリセルから読み出したデータを、前記第1、第2抵抗値の間の抵抗値を有するメモリセルから読み出したデータに対する大小によって判別することを特徴とする請求項20記載の半導体記憶装置。

【請求項22】 前記メモリセルの磁気抵抗素子の抵抗値を前記第1、第2抵抗値の間の値にするために必要な前記書き込み電流の値を保持する保持回路を更に備える

ことを特徴とする請求項17または18記載の半導体記憶装置。

【請求項23】 前記メモリセルの磁気抵抗素子の抵抗値が、前記第1、第2抵抗値の間における所定の範囲内にあるか否かを判定する判定回路と、

前記判定回路における判定の結果、前記メモリセルの磁気抵抗素子の抵抗値が所定の範囲内に無い場合、前記メモリセルに対するデータの再書き込みを命令する制御回路と

を更に備えることを特徴とする請求項17または18記載の半導体記憶装置。

【請求項24】 前記制御回路は、前記再書き込みを命令する際、前記判定回路における判定結果に応じて、前記ドライバ回路が供給する電流の値を制御する

ことを特徴とする請求項23記載の半導体記憶装置。

【請求項25】 第1方向に沿って複数形成された第1ワード線と、前記第1方向に沿って形成された第2ワード線と、

前記第1方向に直交する第2方向に沿って複数形成されたビット線と、

前記第1ワード線と前記ビット線との交点に設けられ、第1抵抗値と、該第1抵抗値よりも小さい第2抵抗値とのいずれかを有する磁気抵抗素子を含む第1メモリセルと、

前記第2ワード線と前記ビット線との交点に設けられ、前記第1、第2抵抗値の間の抵抗値を有する磁気抵抗素子を含む第2メモリセルと、

前記第1、第2ワード線を選択する行デコーダと、

前記第1メモリセルに含まれる磁気抵抗素子の抵抗値を前記第1、第2抵抗値に設定するために、前記第1ワード線に第1書き込み電流を供給し、前記第2メ

モリセルに含まれる磁気抵抗素子の抵抗値を前記第1、第2抵抗値の間の値に設定するために、前記第2ワード線に第2書き込み電流を供給する行ドライバと、前記ビット線を選択する列ドライバと、前記ビット線に第3書き込み電流を供給する列ドライバと、前記行ドライバと列ドライバによって選択された前記第1メモリセルから読み出したデータを、いずれかの前記第2メモリセルに保持されているデータを基準にして増幅するセンスアンプとを具備することを特徴とする半導体記憶装置。

【請求項26】 第1磁気抵抗素子を含むメモリセルに第1データを書き込み、第2磁気抵抗素子を含む参照セルに第2データを書き込むステップと、ビット線をプリチャージするステップと、前記メモリセル及び前記参照セルから前記ビット線に前記第1、第2データをそれぞれ読み出すステップと、前記ビット線に読み出した前記第1データを、前記第2データを基準にして増幅するステップとを具備し、前記第1データの書き込まれた前記メモリセルの前記第1磁気抵抗素子は、第1抵抗値と該第1抵抗値より小さい第2抵抗値とのいずれかを有し、前記第2データの書き込まれた前記参照セルの前記第2磁気抵抗素子は、前記第1、第2抵抗値の間の抵抗値を有することを特徴とする半導体記憶装置の制御方法。

【請求項27】 前記参照セルに第2データを書き込むステップは、ダイソートテスト時に行われることを特徴とする請求項26記載の半導体記憶装置の制御方法。

【請求項28】 前記参照セルに前記第2データを書き込む際に必要な書き込み電流に関する情報を、保持回路に保持するステップと、前記参照セルに前記第2データを書き込んだ後、該参照セルに書き込まれている第2データが正常であるか否かを検証するステップと、前記検証の結果、前記第2データが正常でないと判断された場合、前記保持回路に保持されている情報を読み出し、該情報に基づく書き込み電流を用いて、前

記参照セルに前記第2データを再度書き込むステップと
を更に備えることを特徴とする請求項26記載の半導体記憶装置の制御方法。

【請求項29】 前記参照セルに前記第2データを書き込んだ後、該参照セルの前記磁気抵抗素子の抵抗値が、前記第1、第2抵抗値の間の所定の範囲内にあるか否かを検証するステップと、

前記検証の結果、所定の範囲内に無いと判断された場合、該検証結果に基づいて書き込み電流の値を変えて、前記参照セルに前記第2データを再度書き込むステップと

を更に備えることを特徴とする請求項26記載の半導体記憶装置の制御方法。

【請求項30】 前記メモリセル及び前記参照セルは、前記ビット線と、前記ビット線に直交するワード線との交点に配置され、

前記参照セルに前記第2データを書き込む際に前記ビット線及び前記ワード線に供給する書き込み電流の絶対値は、前記メモリセルに前記第1データを書き込んで該第1データを反転させる際に前記ビット線及び前記ワード線に供給する前記書き込み電流の絶対値よりも小さい

ことを特徴とする請求項26乃至29いずれか1項記載の半導体記憶装置の制御方法。

【請求項31】 前記参照セルに前記第2データを書き込む際に前記ビット線及び前記ワード線に供給される前記書き込み電流は、前記メモリセルにおいて、前記第1データを反転させるのに必要な最小書き込み電流と、データを非反転とするのに許される最大書き込み電流との間の値である

ことを特徴とする請求項30記載の半導体記憶装置の制御方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、半導体記憶装置及びその制御方法に関するもので、例えば磁気ランダムアクセスメモリ(MRAM: Magneto resistive Random Access Memory)の読み出し動作に関するものである。

【0002】

【従来の技術】

MRAMは、磁気抵抗効果を利用して“1”または“0”情報を蓄積させることでメモリ動作を行うデバイスである。そして、不揮発性、高集積性、高信頼性、及び高速動作を兼ね備え、従来のDRAM (Dynamic Random Access Memory)、EEPROM (Electrically Erasable and Programmable Read Only Memory)等に対して置き換え可能なメモリデバイスとして期待されている。

【0003】

MRAMでは、そのメモリセルに、スピン偏極トンネル効果による磁気抵抗変化を利用したMTJ (Magneto Tunneling Junction) 素子を利用している。現在提案されているメモリセルには、例えば1つのMTJ素子とMOSトランジスタとを直列に接続して、メモリセルに選択性を持たせた構成（例えば非特許文献1、2参照）や、クロスポイント型にしたもの（例えば特許文献1）などがある。

【0004】

MTJ素子は、主として絶縁膜を2つの金属磁性体で挟んだ積層膜で構成されている。そして、2つの磁性体のスピンの向きが互いに平行になるか、反平行になるかで2つの状態を作り出している。つまり、2つの磁性体膜の磁化方向が同じ場合には絶縁膜をトンネルして流れる電流の大きさが、2つの磁性体膜の磁化の方向が反対の場合に比べて大きくなる現象を利用する。さらに言い換えれば、2つの磁性体膜の磁化の方向を反対にすることにより、2つの磁性体膜の磁化方向が同じ場合に比べて、磁性体膜間の抵抗値を大きくすることが出来る。ゆえにこのMTJ素子の抵抗値の違いが大きい程、データを読み出す際には好ましいことになる。

【0005】

メモリセルからデータを読み出す際には、絶縁膜を介して磁性体膜間を流れる電流を検知する、もしくは電流値を電圧に変換して検知することにより行われる。

【0006】

次に、MRAMの書き込み動作について説明する。書き込み時においては、通常、2つの磁性体膜のうちどちらか一方は、その磁化の方向が固定されており外

部の磁界の影響を受けないようにされている。ここで、磁化方向が固定された磁性体膜をピン層 (pinning layer) とよぶ。他方の磁性体膜は、印加される磁界によって磁化方向がピン層と同一方向または反対方向にされる。ここで、磁化方向を制御される磁性体膜をフリー層 (free layer) とよぶ。フリー層の磁化方向は、メモリセルを通過しているビット線および書き込みワード線に流れる電流によって発生する磁界の向きによって制御される。この時、ビット線、ワード線には、それぞれ磁化が変化するのに必要な電流量の半分の量が供給される。これは、非選択メモリセルが誤って書き換えられないようするためである（例えば特許文献2参照）。

【0007】

ところで、データの読み出し時においては、メモリセルには数百mV程度の小さな電圧が印加される。この印加電圧によって、メモリセルに流れる電流が検知される。この際、検出された電流値と比較する参照用の信号が必要になる。

【0008】

この参照用の信号を得るために、2つのメモリセルに、互いに相補な信号を書き込んでおき、この2つのメモリセルで1ビットを構成する方法がある。本方法によれば、読み出し時には、2つのメモリセルからの電流量を比較することにより、データが判断される。

【0009】

また、MTJ素子と直列に接続したMOSトランジスタのゲート電極を調節することにより、メモリセルの高抵抗値と低抵抗値との間の抵抗値を作りだす方法がある（例えば特許文献3参照）。

【0010】

【特許文献1】

特願2002-39086号明細書（第6図）

【0011】

【特許文献2】

米国特許第6,081,445号明細書

【0012】

【特許文献3】

米国特許第6,055,178号明細書

【0013】

【非特許文献1】

“IEEE International Solid-State Circuits Conference 2000 Digest Paper”, TA7.2

【0014】

【非特許文献2】

“IEEE International Solid-State Circuits Conference 2000 Digest Paper”, TA7.3 (第4図)

【0015】

【発明が解決しようとする課題】

上記のように、従来のMRAMでは、データの読み出し時において、読み出しデータと比較する為の参照信号が必要となる。そして、その参照信号を作り出すための方法が種々提案されている。しかし、上記2つのメモリセルに相補な信号を書き込む方法であると、2つのメモリセルで1ビットの情報しか保持することが出来ない。従って、面積効率 (scalability) が悪く、大容量のメモリセルアレイには向きであるという問題があった。

【0016】

また、メモリセル内のMOSトランジスタのゲート電圧を調節する方法であると、参照信号を作るメモリセルの抵抗値はMOSトランジスタの特性に大きく依存する。従って、参照信号としての信頼性に不安があるという問題があった。

【0017】

この発明は、上記事情に鑑みてなされたもので、その目的は、面積増加を招くことなく読み出し動作の信頼性を向上できる半導体記憶装置及びその制御方法を提供することにある。

【0018】

【課題を解決するための手段】

上記目的を達成するために、この発明の一態様に係る半導体記憶装置は、第1

方向に沿って複数形成されたワード線と、前記第1方向に直交する第2方向に沿って複数形成されたビット線と、第1抵抗値と、該第1抵抗値よりも小さい第2抵抗値とのいずれかを有する磁気抵抗素子を含む第1メモリセルと、前記第1、第2抵抗値の間の抵抗値を有する磁気抵抗素子を含む第2メモリセルと、前記ワード線と前記ビット線との交点に配置された前記第1、第2メモリセルを有するメモリセルアレイと、前記ワード線を選択する行デコーダと、前記行デコーダによって選択された前記ワード線に第1書き込み電流を供給する行ドライバと、前記ビット線を選択する列デコーダと、前記列デコーダによって選択された前記ビット線に第2書き込み電流を供給する列ドライバと、前記行デコーダと前記列デコーダによって選択された前記第1メモリセルから読み出したデータを増幅するセンスアンプとを具備することを特徴としている。

【0019】

また、この発明の一態様に係る半導体記憶装置は、第1方向に沿って複数形成された第1ワード線と、前記第1方向に沿って形成された第2ワード線と、前記第1方向に直交する第2方向に沿って複数形成されたビット線と、前記第1ワード線と前記ビット線との交点に設けられ、第1抵抗値と、該第1抵抗値よりも小さい第2抵抗値とのいずれかを有する磁気抵抗素子を含む第1メモリセルと、前記第2ワード線と前記ビット線との交点に設けられ、前記第1、第2抵抗値の間の抵抗値を有する磁気抵抗素子を含む第2メモリセルと、前記第1、第2ワード線を選択する行デコーダと、前記第1ワード線に第1書き込み電流を供給し、前記第2ワード線に第2書き込み電流を供給する行ドライバと、前記ビット線を選択する列ドライバと、前記ビット線に第3書き込み電流を供給する列ドライバと、前記行ドライバと列ドライバによって選択された前記第1メモリセルから読み出したデータを、いずれかの前記第2メモリセルに保持されているデータを基準にして増幅するセンスアンプとを具備することを特徴としている。

【0020】

上記のような半導体記憶装置であると、“0”データ、“1”データを保持する第1メモリセルと、その中間のデータを保持する第2メモリセルとを有している。従って、読み出し動作時において、第2メモリセルに保持されているデータ

を、第1メモリセルから読み出したデータと比較することで、第2メモリセルに保持されているデータを参照信号として用いることが出来る。また第2メモリセルに保持されているデータは、“0”データと“1”データの中間の値であるから、信頼性の高い参照信号として機能する。その結果、データの読み出し動作の信頼性を向上できる。

【0021】

更に、この発明の一態様に係る半導体記憶装置は、第1方向に沿って複数形成されたワード線と、前記第1方向に直交する第2方向に沿って複数形成されたビット線と、磁気抵抗素子を含むメモリセルと、前記ワード線と前記ビット線との交点に配置された前記メモリセルを有するメモリセルアレイと、前記ワード線を選択する行デコーダと、前記ビット線を選択する列デコーダと、前記行デコーダ及び前記列デコーダによってそれぞれ選択された前記ワード線及び前記ビット線に書き込み電流をそれぞれ供給し、前記書き込み電流の電流値が、前記ワード線または前記ビット線に応じて可変であるドライバ回路と、前記行デコーダと前記列デコーダとによって選択された前記メモリセルから読み出したデータを増幅するセンスアンプとを具備することを特徴としている。

【0022】

上記のような半導体記憶装置であると、ドライバ回路はワード線またはビット線に応じて書き込み電流の電流量が可変にされている。従って、メモリセルに対して“0”データと“1”データだけでなく、それらの中間のデータを書き込むことが出来る。この中間のデータを有する磁気抵抗素子の抵抗値は、“0”データと“1”データを有する磁気抵抗素子の抵抗値の中間の値を有する。従って、中間のデータを有するメモリセルからの読み出し信号は、読み出し動作時における信頼性の高い参照信号として用いることが出来る。その結果、データの読み出し動作の信頼性を向上できる。

【0023】

この発明の一態様に係る半導体記憶装置の制御方法は、第1磁気抵抗素子を含むメモリセルに第1データを書き込み、第2磁気抵抗素子を含む参照セルに第2データを書き込むステップと、ビット線をプリチャージするステップと、前記メ

モリセル及び前記参照セルから前記ビット線に前記第1、第2データをそれぞれ読み出すステップと、前記ビット線に読み出した前記第1データを、前記第2データを基準にして増幅するステップとを具備し、前記第1データの書き込まれた前記メモリセルの前記第1磁気抵抗素子は、第1抵抗値と該第1抵抗値より小さい第2抵抗値とのいずれかを有し、前記第2データの書き込まれた前記参照セルの前記第2磁気抵抗素子は、前記第1、第2抵抗値の間の抵抗値を有することを特徴としている。

【0024】

上記のような半導体記憶装置の制御方法であると、“0”データを有する磁気抵抗素子の抵抗値と、“1”データを有する磁気抵抗素子の抵抗値との間の抵抗値を有する磁気抵抗素子を含む参照セルを用いている。従って、参照セルからの読み出しデータは、非常に信頼性の高い参照信号として機能する。その結果、データの読み出し動作の信頼性を向上できる。

【0025】

【発明の実施の形態】

以下、この発明の実施形態を図面を参照して説明する。この説明に際し、全図にわたり、共通する部分には共通する参照符号を付す。

【0026】

この発明の第1の実施形態に係る半導体記憶装置について図1を用いて説明する。図1は、本実施形態に係るMRAMのブロック図である。

【0027】

図示するように、MRAM10は、メモリセルアレイ20、センスアンプ40、列デコーダA50、列デコーダB60、列ドライバA／読み出しバイアス回路70、列ドライバB80、行デコーダA90、行デコーダB100、行ドライバ110、シンカー120、出力バッファ130を備えている。

【0028】

メモリセルアレイ20内においては、書き込みワード線WWL1～WWLm（m：自然数）及び読み出しワード線RWL1～RWLmが所定の方向（第1方向）に沿って形成され、ビット線BL1～BLn（n：自然数）が第1方向に直交

する方向（第2方向）に沿って形成されている。書き込みワード線WWL₁～WWL_m及び読み出しワード線RWL₁～RWL_mの一端は行ドライバ₁₁₀に接続され、他端はシンカー₁₂₀に接続されている。またビット線BL₁～BL_nの一端は列ドライバA／読み出しバイアス回路₇₀に接続され、他端はセンスアンプ₄₀及び列ドライバB₈₀に接続されている。

【0029】

更に、メモリセルアレイ₂₀内において、書き込みワード線WWL₁～WWL_m及び読み出しワード線RWL₁～RWL_mとビット線BL₁～BL_nとの交点には、メモリセルが配置されている。メモリセルは、それぞれが磁気抵抗素子を含んでおり、マトリクス状に配置されている。そして同一行のメモリセルは、同一の読み出しワード線RWL₁～RWL_mのいずれかに共通接続され、同一列のメモリセルは、同一のビット線BL₁～BL_nのいずれかに共通接続されている。更に、同一行のメモリセルの近傍には、書き込みワード線WWL₁～WWL_mのいずれかが近接配置されている。

【0030】

メモリセルアレイ₂₀のより詳細な構成について、図2を用いて説明する。図2はメモリセルアレイ₂₀の回路図である。

【0031】

図示するように、メモリセルアレイ₂₀は、マトリクス状に配置された複数（ $m \times n$ ）個のメモリセルを有している（図2では（1×4）個のみ示す、1：自然数）。メモリセルの各々は、磁気抵抗素子₂₁及び選択トランジスタ₂₂を含んでいる。磁気抵抗素子₂₁は、例えばMTJ素子である。同一列に配置された磁気抵抗素子₂₁の一端は、ビット線BL₁～BL_nのいずれかに共通接続され、他端は選択トランジスタ₂₂の電流経路の一端に接続されている。同一行に配置された選択トランジスタ₂₂のゲートは、読み出しワード線RWL₁～RWL_mのいずれかに共通接続され、電流経路の他端は接地電位に接続されている。そして、同一行に配置された磁気抵抗素子₂₁に近接して、書き込みワード線WWL₁～WWL_mのいずれかが設けられている。

【0032】

なお、上記メモリセルアレイ内において、読み出しワード線RWL1に接続されたメモリセルMC11～MC1nは、参照メモリセルとして機能する。すなわち、データを記憶する通常のメモリセル（通常メモリセルと以下では呼ぶことにする）としては機能せず、読み出し時の参照信号を生成するために設けられている。この点についての詳細は後述する。読み出しワード線RWL1以外の読み出しワード線RWL1～RWL(1-1)及びRWL(1+1)～RWLmに接続されたメモリセルは、通常メモリセルとして機能する。

【0033】

次に、メモリセルの断面構造について、図3(a)を用いて説明する。図3(a)は、メモリセルのビット線方向に沿った断面図である。

【0034】

図示するように、半導体基板23中には素子分離領域STIが形成されており、素子分離領域によって周囲を取り囲まれた素子領域AA内に、選択トランジスタ21が形成されている。選択トランジスタ21は、半導体基板23の表面内に形成された不純物拡散層24、図示せぬゲート絶縁膜、及びゲート電極25を備えている。ゲート電極25は読み出しワード線RWL1～WLmのいずれかとして機能し、図面が記載されている紙面に対して垂直な方向にストライプ状に形成されている。半導体基板23上には層間絶縁膜26が形成されており、層間絶縁膜26は、選択トランジスタ21を被覆している。

【0035】

層間絶縁膜26内には、コンタクトプラグ27が形成されている。コンタクトプラグ27は、選択トランジスタ21の不純物拡散層24の一方（ドレイン領域）に接続されている。なお、選択トランジスタ21の不純物拡散層24の他方（ソース領域）は、図示せぬ領域で接地電位に接続されている。また層間絶縁膜26内には、コンタクトプラグ27に接続された金属配線層28、金属配線層28と電気的に分離された金属配線層29が形成されている。金属配線層29は、書き込みワード線WWL1～WWLmのいずれかとして機能するものであり、紙面に対して垂直な方向にストライプ状に形成されている。また金属配線層29は、選択トランジスタ21のゲート電極25と、ほぼ重なるようにして形成されてい

る。

【0036】

金属配線層28上には、磁気抵抗素子21が形成されている。磁気抵抗素子21は、層間絶縁膜26及び金属配線層29を挟んでゲート電極25と重なるようにして形成されている。磁気抵抗素子21は、絶縁膜を磁性体膜で挟み込んだ構造を有するMTJ素子である。すなわち、金属配線層28上に磁性体膜30が形成され、磁性体膜30上に絶縁膜31が設けられ、磁性体膜32が絶縁膜31上に形成されている。これらの磁性体膜30、32、及び絶縁膜31がMTJ素子を構成している。磁性体膜30のスピニの向きは、予め所定の方向に向くよう設定されている。その上で、磁性体膜32のスピニの向きを磁性体膜30に対して平行、または反平行とすることで、2つの状態を作り出し、“0”データ、または“1”データを書き込む。更に、層間絶縁膜26上に、磁性体膜32に接続されるようにして金属配線層33が形成されている。金属配線層33はセンス線BL1～BLnのいずれかとして機能するものであり、ゲート電極25及び金属配線層29と直交する方向（紙面内の左右方向）にストライプ状に形成されている。

【0037】

図3（b）は、磁気抵抗素子の斜視図である。図示するように、磁気抵抗素子21の上面形状は、略長方形の形状を有している。そして、その長辺方向（磁化容易軸）が、ゲート電極（RWL1～RWLm）25及び金属配線層（WWL1～WWLm）29に沿い、且つ短辺方向（磁化困難軸）が、金属配線層（BL1～BLn）33に沿うようにして形成されている。この関係は、ビット線BL1～BLnのいずれかに流す電流の向きによって書き込みデータを制御する場合に満たされるものである。書き込みワード線WWL1～WWLmのいずれかに流す電流の向きによって書き込みデータを制御する場合には、磁気抵抗素子の長辺方向及び短辺方向は逆の関係となる。

【0038】

図4（a）、（b）は、磁気抵抗素子21の上面図であり、特に参照メモリセルMC11～MC1nの有する磁気抵抗素子21について示している。

【0039】

図示するように、磁気抵抗素子21の磁性体膜32（または30、32の双方）は、マルチドメインを有している。すなわち、複数の磁区34を含んでいる。

（a）図に示すように、磁界を加える前には、それぞれの磁区34のスピン（磁気モーメント）の向きはばらばらである。しかし、一定以上の磁界を加えると、

（b）図に示すように、それぞれの磁区34のスピンの向きは磁界の方向に整列する。その結果、磁性体膜32のスピンの向きは、全体として一定方向に向く。勿論、参照メモリセルだけでなく、通常メモリセルの有する磁気抵抗素子も、上記のようなマルチドメインを有していても良い。

【0040】

図5（a）、（b）は、それぞれ通常メモリセル及び参照メモリセルの書き込み閾値を示すグラフ（アステロイド曲線）である。縦軸は書き込みワード線WWL1～WWLmに流れる電流Iw1（困難軸方向磁界）、横軸はビット線BL1～BLnに流れる電流Ib1（容易軸方向磁界）である。アステロイド曲線は、例えば困難軸方向磁界をHx、容易軸方向磁界をHy、書き込み閾値磁界をHsとしたとき、下記のStoner-Wolfarthの関係式から導かれる。

$$H_x^{(2/3)} + H_y^{(2/3)} = H_s^{(2/3)}$$

この関係式を満たす磁界Hx、Hyを生成する電流Iw1、Ib1の関係を、図5（a）、（b）は示している。すなわち、通常メモリセルにおいては、図5（a）に示す領域が、それぞれ書き込み領域及び非書き込み領域となる。書き込み領域とは、磁性体膜32のスピンの向きを反転させることができない電流値の範囲のことであり、非書き込み領域とは、磁性体膜32のスピンの向きを反転させずに留めおくことができる電流値の範囲である。従って、選択メモリセルにデータを書き込む際には、書き込みワード線WWL1～WWLm及びビット線BL1～BLnに、書き込み領域内の電流Iw1及びIb1の関係を満たすように、書き込み電流を供給する必要がある。他方で、非選択メモリセルにおいては、非書き込み領域内における条件が満たさせるようにすることで、誤書き込みを防止する必要がある。

【0041】

図5 (b) に示すように、参照メモリセルにおけるアステロイド曲線も、通常メモリセルとほぼ同様の形状を有している。但し、参照メモリセルにおいては、書き込み領域と非書き込み領域との間に、参照信号書き込み領域が存在する。これは、磁性体膜32の спинの向きを、磁性体膜30に対して完全に平行または反平行とはせずに、一部の磁区についてのみ спинの向きを平行または反平行とすることが可能な領域である。従って、磁性体膜30、32の спинの向きが平行な状態を仮定すると、非書き込み領域内の条件を満たすように書き込み電流Iw1及びIb1を供給した場合には、磁性体膜30、32の спинの向きは互いに平行な状態を維持する。また書き込み領域内の条件を満たすように書き込み電流Iw1及びIb1を供給した場合には、磁性体膜30、32の спинの向きは互いに反平行な状態に変化する。そして、参照信号書き込み領域内の条件を満たすように書き込み電流Iw1及びIb1を供給した場合には、磁性体膜30、32の спинの向きは、互いに平行でもなく反平行でもない状態へと変化する。

【0042】

図6 (a)、(b) は、書き込み電流Ib1と、磁気抵抗素子21の抵抗値との関係を示すグラフであり、(a) 図は通常メモリセル、(b) 図は参照メモリセルについて示している。なお、図6 (a)、(b) ではビット線BL1～BLnに流す書き込み電流によって書き込みデータを制御する場合について示しており、書き込みワード線WWL1～WWLmによって書き込みデータを制御する場合には、横軸を書き込み電流Iw1に置き換えればよい。

【0043】

図6 (a) に示すように、通常メモリセルにおいては、磁気抵抗素子21は、2つの抵抗値Rmax、Rminを有するのみである。上記のように、磁性体膜30、32の спинの向きが平行な状態を仮定すると、非書き込み領域内の条件を満たすように書き込み電流Iw1及びIb1を供給した場合には、磁性体膜30、32の спинの向きは互いに平行な状態を維持する。従って、磁気抵抗素子21は低抵抗値Rminを有する。他方、書き込み領域内の条件を満たすように書き込み電流Iw1及びIb1を供給した場合には、磁性体膜30、32の спинの向きは互いに反平行な状態に変化する。従って、磁気抵抗素子21は高抵抗

値 R_{max} を有するようになる。

【0044】

参照メモリセルにおいては、図6 (b) に示すように、磁気抵抗素子21は、通常メモリセルと同様、2つの抵抗値 R_{max} 、 R_{min} を有すると同時に、抵抗値 R_{max} と R_{min} との間の値である R_{mid} を有する。すなわち、前述のように、参照信号書き込み領域内の条件を満たすように書き込み電流 I_{w1} 及び I_{b1} を供給した場合には、磁性体膜30、32の спинの向きは、互いに平行でもなく反平行でもない状態へと変化する。この場合、磁気抵抗素子21は、高抵抗値 R_{max} でもなく低抵抗値 R_{min} でもなく、その中間の抵抗値 R_{mid} を有するようになる。

【0045】

そして、通常メモリセルは、データの書き込み動作において、高抵抗値 R_{max} または低抵抗値 R_{min} を有するように制御される。他方、読み出しワード線RWL1に接続された参照メモリセルMC11～MC1nにおいては、当初より、抵抗値 R_{mid} を有するように、磁性体膜32の спинの向きが固定されている。

【0046】

次に、センスアンプ40について説明する。図7はセンスアンプ40の回路図である。図示するように、センスアンプ40は、ビット線対BL、 $/BL$ に接続されている。ビット線対BL、 $/BL$ は、例えばビット線BL1とBL2の対、ビット線BL3とBL3の対、…に接続される。そして、pチャネルMOSトランジスタ41、42及びnチャネルMOSトランジスタ43、44を備えている。

【0047】

pチャネルMOSトランジスタ41は、ビット線BLに接続された電流経路の一端（ドレイン）と、高電位電源Vh（例えばVDD）に接続された電流経路の他端（ソース）と、ビット線 $/BL$ に接続されたゲートとを備えている。pチャネルMOSトランジスタ42は、ビット線 $/BL$ に接続された電流経路の一端（ドレイン）と、高電位電源Vh（例えばVDD）に接続された電流経路の他端（

ソース)と、ビット線BLに接続されたゲートとを備えている。nチャネルMOSトランジスタ43は、ビット線BLに接続された電流経路の一端(ドレイン)と、低電位電源V1(例えばVSS)に接続された電流経路の他端(ソース)と、ビット線/BLに接続されたゲートとを備えている。nチャネルMOSトランジスタ44は、ビット線/BLに接続された電流経路の一端(ドレイン)と、低電位電源V1(例えばVSS)に接続された電流経路の他端(ソース)と、ビット線BLに接続されたゲートとを備えている。

【0048】

上記構成のセンスアンプ40は、読み出し時において、ビット線対間に現れた電位差を検知し、この電位差を増幅する。その結果、ビット線BL、/BLの電位は、それぞれ高電位電源電圧Vh、低電位電源電圧V1にまで上昇、下降される。

【0049】

列デコーダA50、B60は、外部より入力された列アドレス信号をデコードして、列アドレスデコード信号を得る。列デコーダA50、B60で得られた列アドレスデコード信号は、列ドライバA/読み出しバイアス回路70及び列ドライバB80に供給される。なお、列デコーダB60は、読み出し時においては、図示せぬカラムゲートの制御も行う。列デコーダB60の制御に基づいて、カラムゲートは、センスアンプ40のビット線対のいずれかを、データ線対(DQ、/DQ)に接続する。

【0050】

次に、列ドライバA/読み出しバイアス回路70、列ドライバB80の構成について説明する。列ドライバA/読み出しバイアス回路70は、その内部に列ドライバA71及び読み出しバイアス回路72を含んでいる。図8は、特に列ドライバA71及び列ドライバB80の構成を示す回路図である。

【0051】

図示するように、列ドライバA71は、各ビット線BL1～BLn毎に設けられたpMOSトランジスタ73及びnMOSトランジスタ74を備えている。pMOSトランジスタ73は、電源電位に接続された電流経路の一端(ソース)と

、ビット線BL1～BLnのいずれかに接続された電流経路の他端（ドレイン）と、列アドレスデコード信号が入力されるゲートとを有している。nMOSトランジスタ74は、接地電位に接続された電流経路の一端（ソース）と、ビット線BL1～BLnのいずれかに接続された電流経路の他端（ドレイン）と、列アドレスデコード信号が入力されるゲートとを有している。

【0052】

また列ドライバB80は、各ビット線BL1～BLn毎に設けられたpMOSトランジスタ81及びnMOSトランジスタ82を備えている。pMOSトランジスタ81及びnMOSトランジスタ82の構成は、列ドライバA71におけるpMOSトランジスタ73及びnMOSトランジスタ74と同様であるので、説明は省略する。

【0053】

上記構成の列ドライバA71及びB80は、書き込み動作時において、列アドレスデコード信号によって動作を制御される。より具体的には、列アドレスデコード信号によって、pMOSトランジスタ73がオン状態の場合には、nMOSトランジスタ74及びpMOSトランジスタ81がオフ状態となり、且つnMOSトランジスタ82がオン状態とされる。その結果、列ドライバA71から列ドライバB80に向かって流れる書き込み電流Ib1が、ビット線BL1～BLnのいずれかに供給される。また、pMOSトランジスタ81がオン状態の場合には、nMOSトランジスタ82及びpMOSトランジスタ73がオフ状態となり、且つnMOSトランジスタ74がオン状態とされる。その結果、列ドライバB80から列ドライバA71に向かって流れる書き込み電流Ib1が、ビット線BL1～BLnのいずれかに供給される。このように、列アドレスデコード信号によって列ドライバA71、B80内のMOSトランジスタを適切に制御することにより、ビット線BL1～BLnに流れる書き込み電流Ib1の向きを制御出来る。

【0054】

次に、読み出しバイアス回路72の構成について、図9を用いて説明する。図9は、読み出しバイアス回路72の回路図である。

【0055】

図示するように、読み出しバイアス回路72は、ビット線BL1～BLn毎に設けられたpチャネルMOSトランジスタ75-1、75-2、75-3、…75-nを備えている。pチャネルMOSトランジスタ75-1、75-2、75-3、…75-nは、電源電位に接続された電流経路の一端（ソース）と、ビット線BL1～BLnのいずれかに接続された電流経路の他端（ドレイン）と、列アドレスデコード信号が入力されるゲートとを有している。

【0056】

上記構成の読み出しバイアス回路72は、読み出し動作時において、列アドレスデコード信号によって動作を制御される。そして、選択メモリセルが接続されているビット線BL1～BLnのいずれかに、読み出し電流を供給する。

【0057】

行デコーダA90、B100は、外部より入力された行アドレス信号をデコードして、行アドレスデコード信号を得る。行デコーダA90、B100で得られた列アドレスデコード信号は、行ドライバ110及びシンカー120に供給される。

【0058】

次に行ドライバ110及びシンカー120の構成について説明する。図1に示すように、行ドライバ110は、m個の第1電流源111-1～111-m及び1個の第2電流源112を備えている。第1電流源111-1～111-mは、それぞれ書き込みワード線WWL1～WWLm及び読み出しワード線RWL1～RWLnに接続されている。また第2電流源112は、参照メモリセルが配置された行（1行目）の近傍に配置された書き込みワード線WWL1に接続されている。第1電流源111-1～111-m及び第2電流源112から書き込みワード線WWL1～WWLmのいずれかまたは読み出しワード線RWL1～RWLnのいずれかに供給された書き込み電流及び読み出し電流は、シンカー120に流れ込む。

【0059】

行ドライバ110及びシンカー120の構成について、図10を用いて説明す

る。図10は、行ドライバ110及びシンカー120の回路図である。図10では、特に書き込みワード線WWL1～WWLmに対する構成について示している。

【0060】

図示するように、行ドライバ110内の第1電流源111-1～111-mの各々は、電源電位に接続された電流経路の一端（ソース）と、書き込みワード線WWL1～WWLmのいずれかに接続された電流経路の他端（ドレイン）と、行アドレスデコード信号が入力されるゲートとを有するpチャネルMOSトランジスタ113-1～113-mを含んでいる。これらのpチャネルMOSトランジスタ113-1～113-mのうち、参照メモリセル近傍に配置されている書き込みワード線WWL1に接続されているpチャネルMOSトランジスタ113-1は、通常メモリセル近傍に配置されている書き込みワード線WWL1～WWL(1-1)、WWL(1+1)～WWLmに接続されているpチャネルMOSトランジスタ113-(1+1)～113-mと異なる電流ドライブ（供給）能力を有している。より具体的には、pチャネルMOSトランジスタ113-1は、pチャネルMOSトランジスタ113-1～113-(1-1)、113-(1+1)～113-mに比べて、電流ドライブ能力が小さくなるよう設定されている。従って、pチャネルMOSトランジスタ113-1によって書き込みワード線WWL1に供給される書き込み電流Iw1は、その他のpチャネルMOSトランジスタ113-1～113-(1-1)、113-(1+1)～113-mによって書き込みワード線WWL1～WWL(1-1)、WWL(1+1)～WWLmに供給される書き込み電流Iw1よりも小さい。

【0061】

また、参照メモリセル近傍に配置されている書き込みワード線WWL1には、上記第1電流源111-1の他に、第2電流源112が接続されている。第2電流源112は、電源電位に接続された電流経路の一端（ソース）と、書き込みワード線WWL1に接続された電流経路の他端（ドレイン）と、行アドレスデコード信号が入力されるゲートとを有するpチャネルMOSトランジスタ114を含んでいる。図10では、pチャネルMOSトランジスタ114が2つの場合を示

しているが、1つでも良いし3つ以上でも良く、その数は特に限定されない。

【0062】

すなわち、上記構成の行ドライバ110は、通常メモリセル近傍に配置された書き込みワード線WWL1～WWL-(1-1)、WWL-(1+1)～WWLmに対しては、第1電流源111-1～111-(1-1)、111-(1+1)～111-mによって、所定の値に固定された書き込み電流Iw1を供給する。他方、参照メモリセル近傍に配置された書き込みワード線WWL1に対しては、第1電流源111-1に加えて第2電流源112を設けることにより、書き込み電流Iw1の値を可変出来るようにしている。

【0063】

シンカー120は、書き込みワード線WWL1～WWLm毎に設けられたnチャネルMOSトランジスタ121-1～121-mを備えている。nチャネルMOSトランジスタ121-1～121-mは、書き込みワード線WWL1～WWLmの各々に接続された電流経路の一端（ドレイン）と、接地電位に接続された電流経路の他端（ソース）と、行アドレスデコード信号が入力されるゲートとを有している。

【0064】

上記構成の行ドライバ110及びシンカー120において、メモリセルアレイ20内の例えば1行目に配置されているメモリセルに書き込み命令が与えられた場合には、pチャネルMOSトランジスタ111-1及びnチャネルMOSトランジスタ121-1がオン状態とされる。その結果、pチャネルMOSトランジスタ111-1のソースから、nチャネルMOSトランジスタ121-1のソースに向かって書き込み電流Iw1が流れる。その結果、書き込みワード線WWL1の周囲には困難軸方向磁界が形成される。

【0065】

次に、上記構成のMRAMの動作について説明する。まず、通常メモリセルへの書き込み動作について、図2における、ビット線BL1と読み出しワード線RWL1及び書き込みワード線WWL1との交点に配置された通常メモリセルMC11にデータを書き込む場合を例に挙げて説明する。

【0066】

まず、図1において、通常メモリセルMC11に相当するアドレスが外部より入力される。行デコーダA90、B100は、入力されたアドレスのうちの行アドレスをデコードして、行アドレスデコード信号を得る。また列デコーダA50、B60は、列アドレスをデコードして、列アドレスデコード信号を得る。

【0067】

行デコーダA90で得られた行アドレスデコード信号に基づいて、行ドライバA110における第1電流源111-1 (p チャネルMOSトランジスタ113-1) がオン状態とされる(図10参照)。また、行デコーダB100で得られた行アドレスデコード信号に基づいて、シンカー120におけるnチャネルMOSトランジスタ121-1がオン状態とされる。従って、行ドライバA110から書き込みワード線WWL1に書き込み電流Iw1が供給され、その書き込み電流Iw1は、シンカー120へ流れ込む。その結果、書き込み電流Iw1によって、書き込みワード線WWL1の周囲に困難軸方向の磁界が形成される。

【0068】

また、列デコーダA50で得られた列アドレスデコード信号に基づいて、列ドライバA71における、ビット線BL1に接続されたpチャネルMOSトランジスタ73及びnチャネルMOSトランジスタ74のいずれか一方がオン状態とされる(図8参照)。また、列デコーダB60で得られた列アドレスデコード信号に基づいて、列ドライバB80における、ビット線BL1に接続されたnチャネルMOSトランジスタ82及びpチャネルMOSトランジスタ81のいずれか一方がオン状態とされる。前述の通り、列ドライバA71においてpチャネルMOSトランジスタ73がオン状態とされる場合は、列ドライバB80においてnチャネルMOSトランジスタ82がオン状態とされる。すると、列ドライバA71からビット線BL1に書き込み電流Ib1が供給され、その書き込み電流Ib1は、列ドライバB80に流れ込む。その結果、書き込み電流Ib1によって、ビット線BL1の周囲に容易軸方向の磁界が形成される。他方、列ドライバA71においてnチャネルMOSトランジスタ74がオン状態とされる場合は、列ドライバB80においてpチャネルMOSトランジスタ81がオン状態とされる。す

ると、列ドライバB80からビット線BL1に書き込み電流Ib1が供給され、その書き込み電流Ib1は、列ドライバA71に流れ込む。その結果、書き込み電流Ib1によって、ビット線BL1の周囲に容易軸方向の磁界が形成される。この際、列ドライバA71からビット線BL1に書き込み電流Ib1が供給される際の逆向きの磁界が形成される。このビット線BL1に流す書き込み電流Ib1の向きによってビット線BL1の周囲に形成される磁界の向きを制御することにより、書き込みデータを制御する。すなわち、“0”データを書き込むか、または“1”データを書き込むかを決定する。

【0069】

上記列ドライバA71またはB80及び行ドライバ110が供給する書き込み電流Ib1、Iw1は、図5(a)に示すアステロイド曲線において、書き込み領域内の条件を満たす大きさに設定される。すなわち、行ドライバ110が書き込みワード線WWL1にIw11なる大きさの書き込み電流を供給した場合、列ドライバA71はビット線BL1にIb11なる大きさの書き込み電流を供給する。または列ドライバB80が、ビット線BL1にIb12なる大きさの書き込み電流を供給する。なお、理想的な条件下におけるアステロイド曲線は、原点に對して対称であり、 $Ib11 = Ib12$ が成立する(但し向きは逆)。しかし、アステロイド曲線の形状、例えば絶対値や原点位置は、周囲温度や磁壁の存在などにより変化する。従って、 $Ib11 \neq Ib12$ であることが通常である。

【0070】

上記のように、ビット線BL1及び書き込みワード線WWL1に書き込み電流Ib1及びIw1を供給することで、メモリセルMC11の周囲に、書き込み閾値以上の磁界(容易軸方向磁界及び困難軸方向磁界)を発生させる。その結果、磁性体膜32のスピンの向きが制御され、メモリセルMC11にデータが書き込まれる。そして、メモリセルMC11は書き込まれたデータに応じて、図6(a)に示す抵抗値R_{max}(“1”データ)またはR_{min}(“0”データ)を有するようになる。なお、ビット線BL2～BLn及び書き込みワード線WWL2～WWLmには書き込み電流が供給されない。従って、選択メモリセルMC11以外のメモリセルにはデータは書き込まれない。

【0071】

次に、参照メモリセルへの書き込み動作について、図2における、ビット線B L 1と読み出しワード線RWL 1及び書き込みワード線WWL 1との交点に配置された参照メモリセルMC 1 1にデータを書き込む場合を例に挙げて説明する。前述の通り、参照メモリセルはデータの保持動作を行うものではなく、読み出し時の参照信号を生成するためのものである。従って、参照メモリセルに1度書き込まれたデータは不変である。そして、参照メモリセルへのデータの書き込みは、例えばダイソート(D/S:チップ選別)テスト時に行われる。勿論、D/Sテスト時に限らず、製品の出荷前のいずれの時期でも良いし、ユーザが製品を実際に使用する前であれば足りる。

【0072】

書き込み動作の順序は、上記した通常メモリセルへの書き込み時と同様である。すなわち、参照メモリセルMC 1 1に相当するアドレスが外部より入力される。このアドレスに応答して、行ドライバA 1 1 0における第1電流源1 1 1-1(pチャネルMOSトランジスタ1 1 3-1)及び第2電流源1 1 2(pチャネルMOSトランジスタ1 1 4)、並びにシンカー1 2 0におけるnチャネルMOSトランジスタ1 2 1-1がオン状態とされる(図10参照)。すると、行ドライバA 1 1 0から書き込みワード線WWL 1に書き込み電流Iw 1が供給され、その書き込み電流Iw 1は、シンカー1 2 0へ流れ込む。その結果、書き込み電流Iw 1によって、書き込みワード線WWL 1の周囲に困難軸方向の磁界が形成される。勿論、第2電流源1 1 2のpチャネルMOSトランジスタ1 1 4が複数有る場合、それらは必ずしも全てがオン状態にされる必要はない。所定の書き込み電流を供給できる数だけオン状態とされればよい。

【0073】

また、列ドライバA 7 1における、ビット線B L 1に接続されたpチャネルMOSトランジスタ7 3及びnチャネルMOSトランジスタ7 4のいずれか一方がオン状態とされる(図8参照)。また、列ドライバB 8 0における、ビット線B L 1に接続されたnチャネルMOSトランジスタ8 2及びpチャネルMOSトランジスタ8 1のいずれか一方がオン状態とされる。すると、列ドライバA 7 1ま

たは列ドライバB 80からビット線BL 1に書き込み電流I b 1が供給される。その結果、書き込み電流I b 1によって、ビット線BL 1の周囲に容易軸方向の磁界が形成される。

【0074】

上記列ドライバA 71またはB 80及び行ドライバ110が供給する書き込み電流I b 1、I w 1は、図5 (b) に示すアステロイド曲線において、参照信号書き込み領域内の条件を満たす大きさに設定される。すなわち、行ドライバ110が書き込みワード線WWL 1にI w 1 2なる大きさの書き込み電流を供給した場合、列ドライバA 71はビット線BL 1にI b 1 3なる大きさの書き込み電流を供給する。または列ドライバB 60が、ビット線BL 1にI b 1 4なる大きさの書き込み電流を供給する。この電流値は、図5 (b) に示すように、困難軸方向磁界及び容易軸方向磁界の合成磁界が、書き込み閾値付近にされる値である。換言すれば、完全な書き込み領域ではなく、且つ完全な非書き込み領域でもない領域である。このような値を有する書き込み電流I b 1、I w 1により書き込みを行うことで、参照メモリセルMC 11の磁気抵抗素子21の抵抗値は、図6 (b) に示す、R_{max}とR_{min}との間の値であるR_{mid}となる。なお、図6 (b)においては、ビット線に与えられる書き込み電流I b 1と抵抗値との関係を示しているが、書き込みワード線に与えられる書き込み電流I w 1と抵抗値との間にも同様の関係があることは言うまでもない。

【0075】

なお、磁気抵抗素子21の抵抗値は、ビット線及び書き込みワード線に流れるいずれの書き込み電流I b 1、I w 1によっても設定出来る。本実施形態に係るMRAMでは、行ドライバA 110において、参照メモリセルに近接する書き込みワード線WWL 1に接続される第1電流源113-1の電流ドライブ能力を他の第1電流源113-1～113-(1-1)、113-(1+1)～113-mよりも小さくし、且つ第2電流源112を設けている。従って、書き込みワード線WWL 1に流す書き込み電流I w 1によって、磁気抵抗素子21の抵抗値を制御出来る。より具体的には、次のように書き込み電流I w 1、I b 1を設定できる。まず、ビット線BL 1には、通常メモリセルにデータを書き込み際と同様

の書き込み電流 I_{b1} を供給する。この値を I_{b13} ($= I_{b11}$) とする。その状態で、第2電流源 I_{112} 内においてオン状態とされる pMOSトランジスタ I_{114} の数を制御することによって、書き込みワード線 WWL_1 に流す書き込み電流 I_{w1} の値を、 I_{w11} よりも小さい I_{w12} に設定する。その結果、困難軸方向磁界と容易軸方向磁界との合成磁界を、参照信号書き込み領域内に収めることができる。

【0076】

上記のような処理は、参照メモリセル $MC_{11} \sim MC_{n1}$ の全てについて行われる。但し、通常メモリセルと参照メモリセルとの間で、アステロイド曲線の大きさが大きく異なるようにする必要がある。これは、通常メモリセルへの書き込み時に、参照メモリセルが影響 (disturbance) を受けて、その抵抗値が変化することを防止するためである。

【0077】

次に読み出し動作について、同じくメモリセル MC_{11} からデータを読み出す場合を例に挙げて、図11を用いて説明する。図11は、データの読み出し時ににおいてビット線対に現れる電圧の波形図である。

【0078】

データの読み出しに当たっては、まず通常メモリセル MC_{11} 及び参照メモリセル MC_{12} の選択トランジスタ 22 をオン状態とする。更に、読み出しバイアス回路 72 からビット線 BL_1, BL_2 に読み出し電流を供給する。そして、ビット線 BL_1, BL_2 に現れる電圧値を比較して、 MC_{11} に書き込まれているデータを判別する。以下詳細に説明する。

【0079】

まず、図示せぬカラムゲートによって、センスアンプ 40 はデータ線対 $DQ, /DQ$ と切り離された状態にある。その状態で、センスアンプ 40 を非活性状態にしつつ、ビット線プリチャージを行う。その結果、ビット線対 $BL, /BL$ ($BL_1, BL_2, BL_3, BL_4, \dots$) の電位はプリチャージレベル V_{PRC} とされる。プリチャージレベル V_{PRC} は、例えば $V_{DD}/2$ である。その後、ビット線プリチャージを終了する。これにより、ビット線対 $BL, /BL$ はプリチ

ヤージレベルV P R Cでフローディングとなる。

【0080】

次に、通常メモリセルMC11に相当するアドレスが外部より入力される。この際には、参照メモリセルMC12に相当するアドレスも同時に入力される。行デコーダA90、B100は、入力されたアドレスのうちの行アドレスをデコードして、行アドレスデコード信号を得る。また列デコーダA50、B60は、列アドレスをデコードして、列アドレスデコード信号を得る。

【0081】

そして、読み出しワード線RWL1、RWL1がハイレベルとされる。これにより、メモリセルMC11、MC21の選択トランジスタ22がオン状態とされる。

【0082】

また、列デコーダA50で得られた列アドレスデコード信号に基づいて、読み出しバイアス回路72においてビット線BL1、BL2に接続されたpチャネルMOSトランジスタ75-1、75-2がオン状態とされる（図9参照）。従って、読み出しバイアス回路72から、ビット線BL1、BL2に読み出し電流I_{b1'}が供給される。

【0083】

選択トランジスタ22がオン状態とされたこと、及びビット線BL1、BL2に読み出し電流I_{b1'}が供給されたことで、通常メモリセルMC11及び参照メモリセルMC12からデータが読み出される（図11、時刻t1）。すなわち、各メモリセルMC11及びMC12の磁気抵抗素子21に電流が流れることで、磁気抵抗素子21の抵抗値に応じた電圧が、ビット線BL1、BL2に現れる。

【0084】

ここで、通常メモリセルMC11に書き込まれているデータが“1”データの場合、すなわち、磁気抵抗素子21の抵抗値が高抵抗（R_{max}）であったとする。すると、図11に示すように、ビット線BL1の電位はプリチャージレベルV P R Cから、抵抗値に応じた電圧（+ΔV）だけ上昇し、電位V_{h'}で落ち着

く。逆に、参照メモリセルMC12に接続されているビット線BL2の電位はプリチャージレベルVPRCから、抵抗値に応じた電圧($-\Delta V$)だけ下降し、V1'で落ち着く(時刻t1~t2)。

【0085】

次いで、センスアンプ40が活性化される(時刻t2)。活性化されたセンスアンプ40は、ビット線対間に現れた電位差を検知し、その電位差を増幅する。これにより、センスアンプ40のビット線BL、 BL' は、それぞれVh、V1まで上昇する。このビット線対間の電位差により、通常メモリセルMC11のデータが判別される。なお、センスアンプ40が活性化されると同時に、列デコーダB60は図示せぬカラムゲートを制御して、ビット線対BL、 BL' をデータ線対DQ、 DQ' に接続する。そして、外部より入力されるアウトプットイネーブル信号に応答して、データ線対に現れた読み出しデータは、出力バッファ130を介して出力データDoutとして出力される。

【0086】

その後は、ビット線BL1、BL2、…は再びプリチャージレベルVPRCにされる。

【0087】

上記構成の半導体記憶装置によれば、読み出し時に必要となる参照信号の作成が容易となり、且つ参照信号を精度良く作成出来るため、読み出し動作の信頼性を向上できる。なぜなら、参照信号を作成するために、3値(若しくはそれ以上)を有する磁気抵抗素子を用いているためである。すなわち、データの記憶を行う通常メモリセルは、高抵抗("1")及び低抵抗("0")の2つの状態(2値)を取り得る。これに対し、参照信号を作成するための参照メモリセルは、通常メモリセルにおける高抵抗("1")の状態と低抵抗("0")の状態との間の状態を取り得る。仮にこの状態を"10"と呼ぶことにする。すなわち、3つの値を取り得る。更に、参照メモリセルには、"1"と"0"の間の抵抗値を有する"10"を書き込んでいる。そして、通常メモリセルから読み出した"1"データまたは"0"データと、参照メモリセルから読み出した"10"データとの差を、センスアンプにて増幅している。

【0088】

また、上記磁気抵抗素子に“10”データを書き込むために、行デコーダの電流ドライブ能力を可変にしている。そして、書き込みワード線へ流す書き込み電流を調節することによって、磁気抵抗素子に“10”データを精度良く書き込むことが出来る。

【0089】

その結果、参照メモリセルはメモリセルアレイ中における1行分だけ配置すれば良く、面積効率に非常に優れている。従って、大容量のメモリセルアレイにも容易に適用できる。また、参照信号の作成は行ドライバによる供給電流の調節で行うことが出来るため、その精度は製造バラツキなどに依存せず、参照信号としての精度に非常に優れている。更に、参照信号の作成が非常に簡便である。その結果、面積増加を招くことなく読み出し動作の信頼性を向上できる半導体記憶装置が実現できる。

【0090】

次に、この発明の第2の実施形態に係る半導体記憶装置について、図12を用いて説明する。図12は、本実施形態に係るMRAMのブロック図である。

【0091】

図示するように、本実施形態に係るMRAMは、上記第1の実施形態で図1を用いて説明した構成において、制御回路140及びヒューズ群150を備えた構成を有している。制御回路140及びヒューズ群150以外の構成は、上記第1の実施形態と同様であるので説明は省略する。

【0092】

制御回路140及びヒューズ群150については、下記の参照信号作成方法と共に、図13を用いて説明する。図13は、参照信号の作成方法の流れを示すフローチャートである。

【0093】

まず、半導体チップの作成後（ステップS1）、ダイソートテスト（ステップS2）を行う。ダイソートの際、上記第1の実施形態で説明したとおり、参照メモリセルMC₁₁～MC_{m n}へのデータの書き込みを行う（ステップS3）。す

なわち、行ドライバA110における第1電流源111-1及び第2電流源112によって書き込みワード線WWL1に供給する書き込み電流Iwlの値を調節して（図10参照）、参照メモリセルMC11～MCmnの磁気抵抗素子21の抵抗値をRmidに設定する（図6（b）参照）。この際、書き込みワード線WWL1に供給される書き込み電流Iwlは、第2電流源112に含まれるpチャネルMOSトランジスタを幾つオン状態にするかによって決定できる。

【0094】

そこで、ダイソートテスト時において、制御回路140は、いずれのpチャネルMOSトランジスタ114をオン状態にしたか、という情報をヒューズ群に記憶させる（ステップS4）。より具体的には、各MOSトランジスタ114のゲートに接続されたヒューズを切斷することにより、情報を記憶させる。すなわち、参照メモリセルの磁気抵抗素子の抵抗値をRmidにすることの出来る書き込み電流Iwlの情報を、ヒューズ群150に記憶させておくのである。

【0095】

その後、各種テストを行った後、出荷する。

【0096】

出荷後、ユーザが数度の書き込みを行った後に読み出し動作を行う際、制御回路140は、参照メモリセルMC11～MCmnに書き込まれているデータが正常であるか否かを検証する（ステップS5）。これは、通常メモリセルへの書き込み中に、参照メモリセルへのdisturbanceが生じて、抵抗値がRmidから変化している虞があるのである。

【0097】

検証の結果、参照メモリセルの磁気抵抗素子の抵抗値がRmidを維持している場合（ステップS6）には、引き続き読み出し動作を行う（ステップS8）。

【0098】

検証の結果、参照メモリセルの磁気抵抗素子の抵抗値がRmidを維持していない場合（ステップS6）、例えば高抵抗値Rmaxや低抵抗値Rminへと変化していた場合には、データを読み出す前に、参照メモリセルへの再書き込みを行う。すなわち、制御回路140がヒューズ群150に記憶させていた情報を読

み出す。この情報は、前述の通り、参照メモリセルの磁気抵抗素子の抵抗値を R_{mid} にすることの出来る書き込み電流 I_{w1} の情報である。より具体的には、参照メモリセルへの書き込み時にオン状態とすべき p チャネルMOSトランジスタ 114 の個数である。この情報に基づいて、行ドライバ 110 は、参照メモリセルへのデータの再書き込みを行って、参照メモリセルの磁気抵抗素子の抵抗値を再度 R_{mid} に設定し直す。その後、読み出し動作を行う（ステップ S8）。

【0099】

上記構成の半導体記憶装置によれば、第1の実施形態と同様の効果が得られる。更に、第1の実施形態に比べて、読み出し動作の信頼性を更に向上させることが出来る。なぜなら、参照信号を作成するための参照メモリセルに、3値（若しくはそれ以上）を有する磁気抵抗素子を用いているからである。そして、その磁気抵抗素子が前述の“10”的状態を取り得る書き込み電流の情報を、ヒューズ群に保持させているからである。本構成によれば、出荷後であっても、参照メモリセルの磁気抵抗素子の抵抗値を、適宜、正確な値に設定し直すことが可能である。従って、常時、正確な参照信号を得ることが出来る。

【0100】

次に、この発明の第3の実施形態に係る半導体記憶装置について説明する。本実施形態は、上記第1の実施形態において、参照メモリセルの抵抗値が R_{mid} からはずれた場合に、それを補正するための方法に係るものである。なお、参照メモリセルが有るべき抵抗値 R_{mid} を、図15に示すように定義する。すなわち、“1”データを保持するメモリセルの抵抗値は R_{max} であり、“0”データを保持するメモリセルの抵抗値が R_{min} である。そして、参照メモリセルが取るべき抵抗値 R_{mid} は、 R_{max} と R_{min} との中間の抵抗 $(R_{max} + R_{min}) / 2$ から、 $\pm \Delta R$ の範囲の抵抗値である。参照メモリセルがこの範囲の抵抗を有する場合に、十分に精度の良い参照信号が得られるとする。

【0101】

図14は、本実施形態に係るMRAMのブロック図である。

図示するように、本実施形態に係るMRAMは、上記第1の実施形態で図1を用いて説明した構成において、比較／制御回路 160 を備えた構成を有している

。比較／制御回路160以外の構成は、上記第1の実施形態と同様であるので説明は省略する。

【0102】

比較／制御回路160の構成について、図16を用いて説明する。図16は、メモリセルアレイ20の一部及び比較／制御回路160の構成を示す回路図（ブロック図）である。

【0103】

比較／制御回路160は、参照メモリセルの抵抗値を監視している。そして、参照メモリセルの抵抗値が、 $(R_{max} + R_{min}) / 2$ から $\pm \Delta R$ 以上ずれた場合に、参照メモリセルへの再書き込みを命令する機能を有している。具体的には、比較／制御回路160は、図16に示すようにA／Dコンバータ161-1～161-3、加算器162、乗算器163、減算器164、比較器165、及び制御回路166を備えている。

【0104】

A／Dコンバータ161-1～161-3は、それぞれ“1”データを保持するメモリセル、“0”データを保持するメモリセル、及び参照メモリセルから読み出した読み出しデータをデジタル値に変換する。加算器162は、A／Dコンバータ161-1、161-2の出力を加算する。乗算器163は、A／Dコンバータ161-3の出力を乗算する。減算器164は、加算器162の出力と乗算器163の出力との差を算出する。そして比較器165は、減算器164の出力と基準信号とを比較する。基準信号については後述する。制御回路166は、比較器165における比較結果に基づいて、行ドライバ110を制御する。

【0105】

次に、比較／制御回路160の動作について、下記の参照信号作成方法と共に図16、図17を用いて説明する。図17は、参照信号の作成方法の流れを示すフローチャートである。

【0106】

まず、上記第1、第2の実施形態で説明した方法により、参照メモリセルへデータを書き込む（ステップS11）。勿論、この書き込み動作は、参照メモリセ

ルの抵抗値 R_{half} が R_{mid} の値となるように行う。

【0107】

次に、参照メモリセルの抵抗値 R_{half} が R_{mid} であるか否かを検証し、 R_{mid} でなければ参照メモリセルへの再書き込みを行う。この際、参照メモリセルだけでなく、“1”データを保持するメモリセルと、“0”データを保持するメモリセルを使用する。ここで使用する“1”、“0”データを保持するメモリセルは、メモリセルアレイ内にあるデータ記録用のメモリセルを用いても良いし、専用のメモリセルを用意しても良い。まず、図17におけるステップS12において、“1”データを保持するメモリセル、“0”データを保持するメモリセル、及び参照メモリセルからデータを読み出す。すなわち、各メモリセル及び参照メモリセルの選択トランジスタをオン状態として、定電流源からビット線に電流 I_{ref} を供給する。定電流源は、例えば図14における読み出しバイアス回路70である。読み出されたデータは、各A/Dコンバータ161-1～161-3でデジタル値に変換される。より具体的には、A/Dコンバータ161-1は $(I_{ref} \cdot R_{max})$ を、A/Dコンバータ161-2は $(I_{ref} \cdot R_{min})$ を、A/Dコンバータ161-3は $(I_{ref} \cdot R_{half})$ をデジタル値で出力する。

【0108】

次に図17におけるステップS13において、加算器162が、A/Dコンバータ161-1から出力されるデータと、A/Dコンバータ161-2から出力されるデータとを加算する。従って、加算器162は、 $I_{ref} \cdot (R_{max} + R_{min})$ を出力する。また乗算器163は、A/Dコンバータ161-3から出力されるデータを乗算する。従って乗算器163は、 $2 \cdot I_{ref} \cdot R_{half}$ を出力する。

【0109】

次に減算器164は、加算器162の出力と乗算器163の出力との差を算出する（ステップS14）。従って、減算器164は、 $I_{ref} \cdot (R_{max} + R_{min} - 2R_{half})$ を出力する。この算出結果は、 R_{half} が $(R_{max} + R_{min}) / 2$ からずれている場合に、そのずれ分に相当する電圧の倍の値で

ある。

【0110】

そして、比較器165は、加算器164における算出結果と、乗算器163における算出結果とを比較する（ステップS15）。基準信号は $2 \cdot I_{ref} \cdot \Delta R$ の電圧であり、抵抗値 ΔR に相当する電圧の倍の値である。減算器164における算出結果の絶対値が、基準信号より小さい場合（ステップS16）には、参照メモリセルの抵抗値 R_{half} の $(R_{max} + R_{min}) / 2$ からのずれ量はゼロ、乃至は ΔR 以下である。従って、 $R_{half} = R_{mid}$ の関係が満たされており、参照メモリセルは十分に精度の良い参照信号が得られる。よって処理は終了する。逆に、減算器164における算出結果の絶対値が基準信号より大きい場合（ステップS16）には、参照メモリセルの抵抗値 R_{half} の $(R_{max} + R_{min}) / 2$ からのずれ量は、 ΔR よりも大きい。すなわち、参照メモリセルの抵抗値 R_{half} は、 R_{mid} の範囲内に無い。この場合、参照メモリセルから得られる参照信号は、理想的な値よりも大きすぎる、または小さすぎるのと、再度、参照メモリセルへの書き込みを繰り返す（ステップS11に戻る）。再書き込みを行う場合には、参照メモリセル R_{half} が大きすぎるのか小さすぎるのか、という情報をもとに、制御回路166が行ドライバ110を制御する。制御回路166から出力される命令信号によって、行ドライバ110は、前回の書き込み時よりも書き込み電流を大きくする、または小さくすることによって、参照メモリセルの抵抗値を R_{mid} に設定する。

【0111】

上記構成の半導体記憶装置によれば、上記第1の実施形態と同様の効果が得られる。更に、第1の実施形態に比べて、参照信号の精度を更に向上させることが出来る。なぜなら、参照信号を作成するための参照メモリセルに、3値（若しくはそれ以上）を有する磁気抵抗素子を用いているからである。そして、参照メモリセルへの書き込みの際、磁気抵抗素子の抵抗値を、 R_{mid} と比較し、その比較結果を行ドライバへフィードバックさせているからである。従って、例えば参照メモリセルの特性が変化し、当初の書き込み電流では抵抗値 R_{mid} が実現出来なくなってしまったような場合であっても、比較器で現在の抵抗値と R_{mid}

とを比較しつつ書き込み動作を行うことにより、磁気抵抗素子の抵抗値を正確に R_{mid} に設定することが出来る。なお、図17に示す処理は、データの読み出し時毎に行っても良いし、ある所定の期間が経過する毎に行っても良い。

【0112】

上記のように、この発明の第1乃至第3の実施形態に係る半導体記憶装置によれば、参照メモリセルに、3つの抵抗値を有する磁気抵抗素子を用いている。この3つの抵抗値は、通常メモリセルの有する2つの抵抗値と、それらの中間の値であり、参照メモリセルの磁気抵抗素子には、中間の値の抵抗値を持たせている。そして、通常メモリセルから読み出したデータと、参照メモリセルから読み出したデータとの差をセンスアンプで増幅している。また、参照メモリセルの磁気抵抗素子の抵抗値は、書き込み電流を調節することによって制御している。

【0113】

従って、参照信号の作成が簡便であり、且つ精度良く参照信号を作成できる。その結果、MRAMにおける読み出し動作の信頼性を向上できる。また、参照メモリセルは、メモリセルアレイ内の1行分設けるのみで足りるため、参照メモリセルを設ける事による面積増加が最小限に抑制できる。

【0114】

図18は、上記第1乃至第3の実施形態の変形例に係るMRAMのブロック図である。上記実施形態では参照信号への書き込みを行ドライバによって制御していたところ、本変形例は列ドライバによって行うものである。

【0115】

図示するように、本変形例に係るMRAMの行ドライバ110に含まれる第1電流源111-1～111-mは、全て同じ電流ドライブ能力を有している。なお、読み出しワード線RWL1に接続されたメモリセルは、参照メモリセルとして機能する。列ドライバB80は、n個の第1電流源83-1～83-n及び第2電流源84-1～84-nを備えている。第1電流源83-1～83-n及び第2電流源84-1～84-nは、それぞれビット線BL1～BLnに接続されている。

【0116】

図19は、列ドライバB80及び列ドライバA71の回路図である。図示するように、第1電流源83-1～83-nは、上記第1の実施形態で説明したpチャネルMOSトランジスタ81及びnチャネルMOSトランジスタ82を備えている。第2電流源84-1は、接地電位に接続された電流経路の一端（ソース）と、ビット線BL1～BLnのそれぞれに接続された電流経路の他端（ドレイン）と、列アドレスコード信号が入力されるゲートとを有するnチャネルMOSトランジスタ85を含んでいる。図19では、nチャネルMOSトランジスタ85が2つの場合を示しているが、1つでも良いし3つ以上でも良く、その数は特に限定されない。

【0117】

本変形例によれば、列ドライバB80によって、ビット線BL1～BLnに供給する書き込み電流Iwlの値を調節することが出来る。従って、参照メモリセルの磁気抵抗素子の抵抗値をRmidに設定出来、上記第1乃至第3の実施形態と同様の効果が得られる。なお、図18、図19では第2電流源84-1～84-nが列ドライバB80にのみ設けられた例を示したが、勿論、列ドライバA71にあっても良く、更に列ドライバA71、B80双方にあっても良い。また、第2電流源84-1～84-nは、nチャネルMOSトランジスタの代わりにpチャネルMOSトランジスタで形成しても構わない。この場合には、第2電流源84-1～84-nとなるpチャネルMOSトランジスタは、pチャネルMOSトランジスタ81または73と並列に接続される。

【0118】

なお、上記第1乃至第3の実施形態では、ビット線BL1～BLnが困難軸方向に沿って形成され、書き込みワード線WWL1～WWLmが容易軸方向に沿って形成されている場合について説明した。従って、通常メモリセルに書き込まれるデータは、ビット線BL1～BLnに流れる電流の向きによって制御される。しかし、ビット線BL1～BLnを容易軸方向に沿って形成し、書き込みワード線WWL1～WWLmを困難軸方向に沿って形成しても良い。この場合には、メモリセルに書き込まれるデータは、書き込みワード線WWL1～WWLmに流れる電流の向きによって制御される。

【0119】

また、上記第1乃至第3の実施形態では、磁気抵抗素子の書き込み閾値について、理想的なアステロイド曲線が得られる場合について説明した。しかし、磁気抵抗素子は、磁化反転過程において、磁壁、異方性分散、エッジドメインや、周囲温度等の影響を受ける。その結果、閾値曲線は理想的なアステロイド曲線からずれていくのが通常である。このような場合であっても上記実施形態は適用可能である。

【0120】

更に、上記第1乃至第3の実施形態では、例えば図1に示されるように、参照メモリセルは、メモリセルアレイの中央部に配置されている。勿論、参照メモリセルの位置は、メモリセルアレイ、メモリセルサブアレイの中央に配置されても良いが、その位置は特に限定されるものではない。例えばアレイの端部に位置していても良い。

【0121】

更に、上記第1乃至第3の実施形態では、通常メモリセルは図5 (a) に示すアステロイド曲線及び図6 (a) に示す抵抗値を有し、参照メモリセルは図5 (b) に示すアステロイド曲線及び図6 (b) に示す抵抗値を有するものとして説明した。しかし、通常メモリセルが参照メモリセルと同じ特性を有していても構わない。すなわち、通常メモリセルが、 R_{max} 、 R_{min} だけでなく、 R_{mid} なる抵抗値を有していても良い。但し、通常メモリセルへのデータの書き込みは、 R_{max} と R_{min} のいずれか一方の値を取るようにして行われることは言うまでもない。この場合には、通常メモリセルと参照メモリセルとの間で同様の構造が使用出来るため、製造工程が簡略化出来、製造コストの低減に寄与する。

【0122】

また、参照メモリセルが取り得る値は3値に限られるものではなく、3値以上であれば良い。例えば図20に示すように、 R_{max} と R_{min} との間に、2つの異なる抵抗値 R_{mid1} 、 R_{mid2} を有していても良い。勿論、4値より多くても良い。

【0123】

更に上記第1乃至第3の実施形態では、磁気抵抗素子としてMTJ素子を用いた場合を例に挙げて説明したが、例えばGMR(Giant Magneto Resistive)素子やCMR(Colossal Magneto Resistive)素子を用いる場合であっても良い。

【0124】

なお、本願発明は上記実施形態に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で種々に変形することが可能である。更に、上記実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組み合わせにより種々の発明が抽出されうる。例えば、実施形態に示される全構成要件からいくつかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題が解決でき、発明の効果の欄で述べられている効果が得られる場合には、この構成要件が削除された構成が発明として抽出されうる。

【0125】

【発明の効果】

以上説明したように、この発明によれば、面積増加を招くことなく読み出し動作の信頼性を向上できる半導体記憶装置及びその制御方法を提供できる。

【図面の簡単な説明】

【図1】 この発明の第1の実施形態に係るMRAMのブロック図。

【図2】 この発明の第1の実施形態に係るMRAMの備えるメモリセルアレイの回路図。

【図3】 この発明の第1の実施形態に係るMRAMの備えるメモリセルについて示しており、(a)図は断面図、(b)図は磁気抵抗素子の斜視図。

【図4】 この発明の第1の実施形態に係るMRAMの備えるメモリセルの上面図であり、(a)図は書き込み閾値以下、(b)図は書き込み閾値以上の磁界を印加した際の様子。

【図5】 この発明の第1の実施形態に係るMRAMの備えるメモリセルのアステロイド曲線を示す図であり、(a)図は通常メモリセル、(b)図は参照メモリセルについて示す図。

【図6】 この発明の第1の実施形態に係るMRAMの備えるメモリセルの書き込み電流と抵抗値との関係を示す図であり、(a)図は通常メモリセル、

(b) 図は参照メモリセルについて示す図。

【図7】 この発明の第1の実施形態に係るMRAMの備えるセンスアンプの回路図。

【図8】 この発明の第1の実施形態に係るMRAMの備える列ドライバの回路図。

【図9】 この発明の第1の実施形態に係るMRAMの備える読み出しバイアス回路の回路図。

【図10】 この発明の第1の実施形態に係るMRAMの備える行ドライバ及びシンカーの回路図。

【図11】 この発明の第1の実施形態に係るMRAMの読み出し時における、ビット線対の電圧変化を示す波形図。

【図12】 この発明の第2の実施形態に係るMRAMのブロック図。

【図13】 この発明の第2の実施形態に係るMRAMの制御方法を示すフローチャート。

【図14】 この発明の第3の実施形態に係るMRAMのブロック図。

【図15】 この発明の第3の実施形態に係るMRAMメモリセルの抵抗値を示すダイアグラム。

【図16】 この発明の第3の実施形態に係るMRAMの備えるメモリセルアレイの一部、及び比較／制御回路の回路図。

【図17】 この発明の第3の実施形態に係るMRAMの制御方法を示すフローチャート。

【図18】 この発明の第1乃至第3の実施形態の変形例に係るMRAMのブロック図。

【図19】 この発明の第1乃至第3の実施形態の変形例に係るMRAMの備える列ドライバの回路図。

【図20】 この発明の第1乃至第3の実施形態の変形例に係るMRAMの備える参照メモリセルの、書き込み電流と抵抗値との関係を示す図。

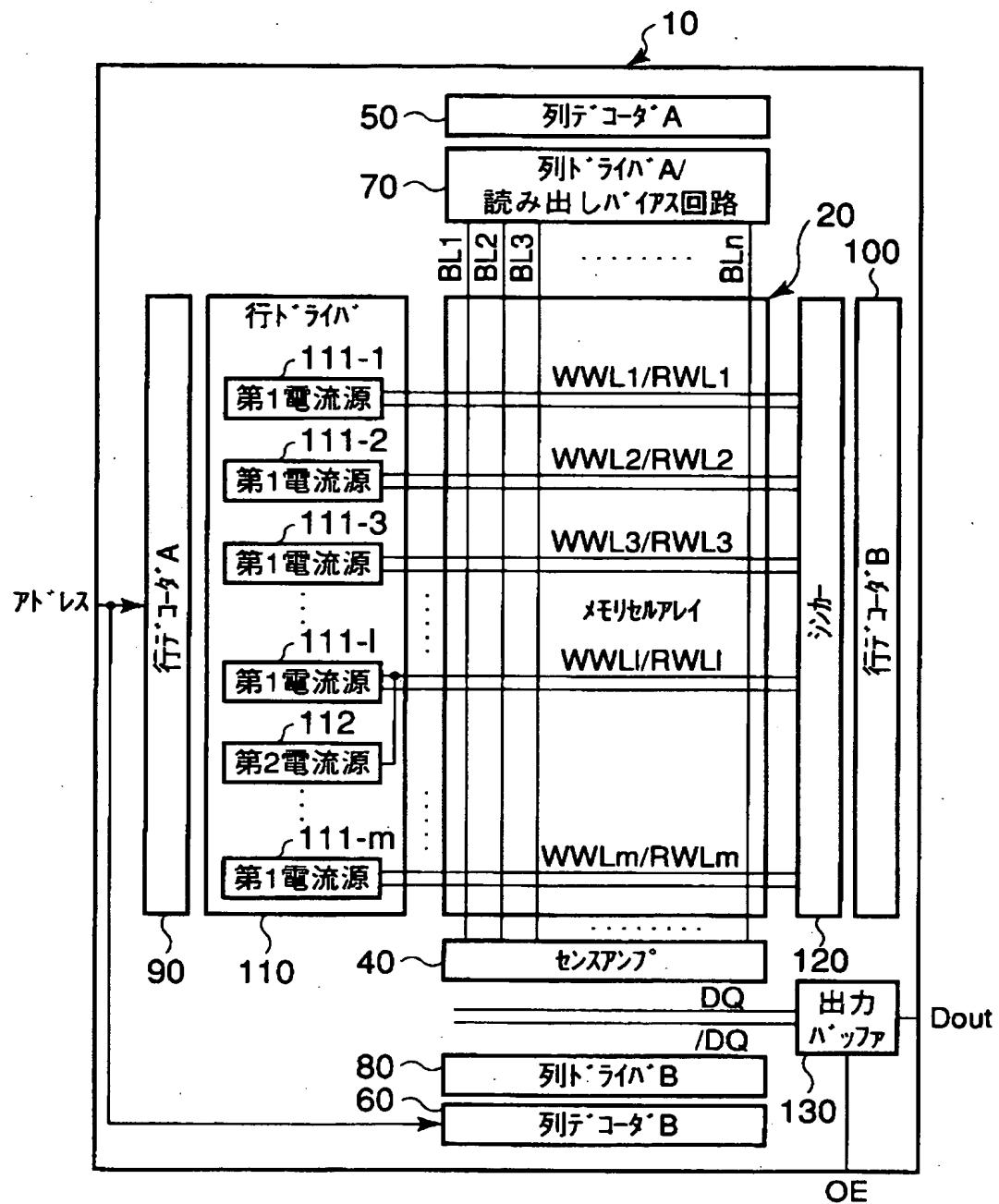
【符号の説明】

10…MRAM、20…メモリセルアレイ、21…磁気抵抗素子、22…選択

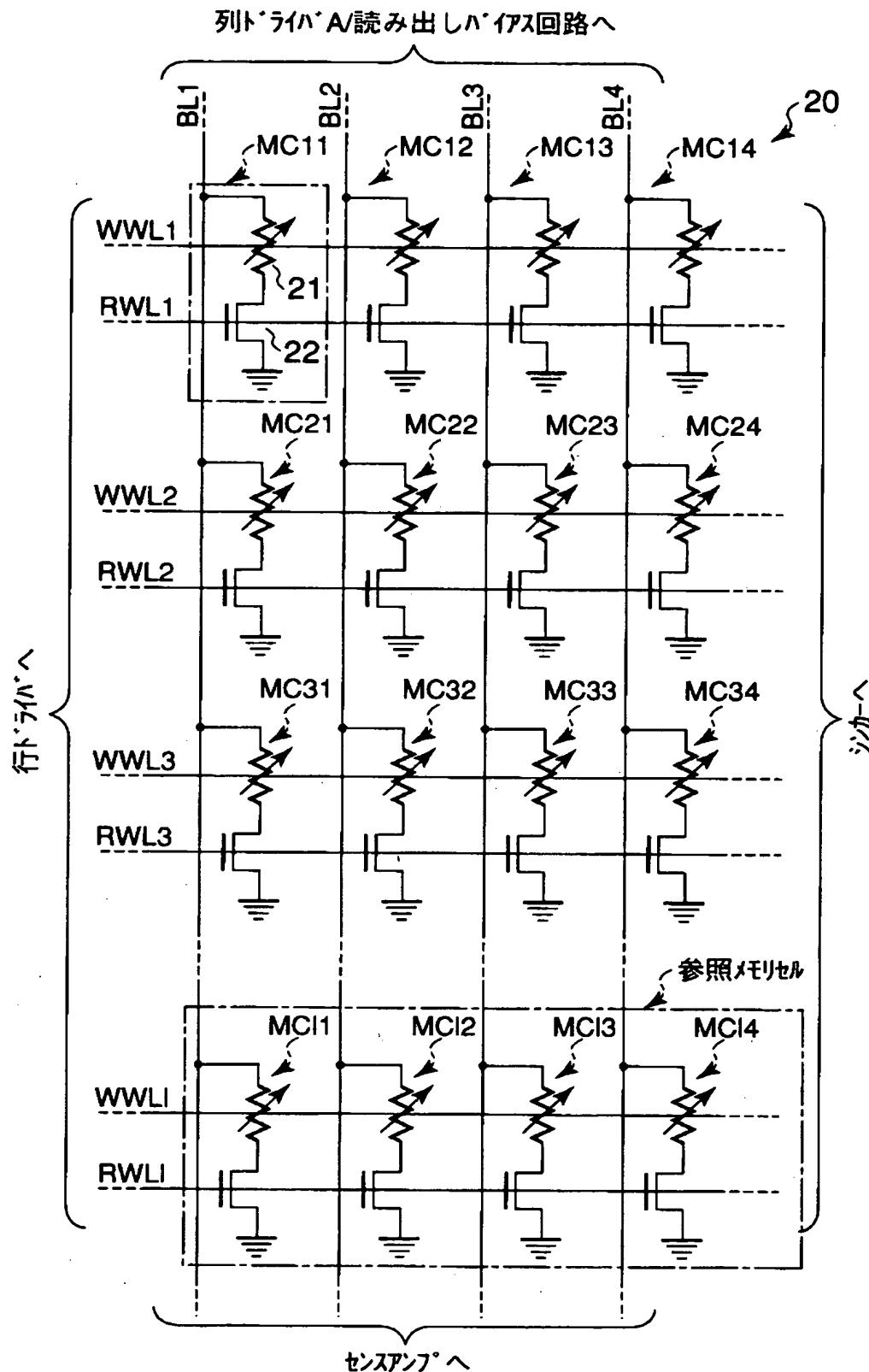
トランジスタ、23…半導体基板、24…不純物拡散層、25…ゲート電極（読み出しワード線）、26…層間絶縁膜、27、173…コンタクトプラグ、28…金属配線層、29…金属配線層（書き込みワード線）、30、32、35…磁性体膜、31、36…絶縁膜、33、172…金属配線層（ビット線）、34…磁区、37…金属配線層（ワード線）、38…ダイオード、40…センスアンプ、41、42、73、81、75-1～75-n、113-1～113-m、114…pチャネルMOSトランジスタ、43、44、74、82、85、121-1～121-m…nチャネルMOSトランジスタ、50、60…列デコーダ、70…列ドライバ／読み出しバイアス回路、71、80…列ドライバ、90、100…行デコーダ、110…行ドライバ、83-1～83-n、111-1～111-m…第1電流源、84-1～84-n、112…第2電流源、120…シンカー、130…出力バッファ、140…制御回路、150…ヒューズ群、160…比較／制御回路、161-1～161-3…A/Dコンバータ、162…加算器、163…乗算器、164…減算器、165…比較器、166…制御回路、170…n型半導体層、171…p型半導体層、174…金属配線層（読み出しワード線）

【書類名】 図面

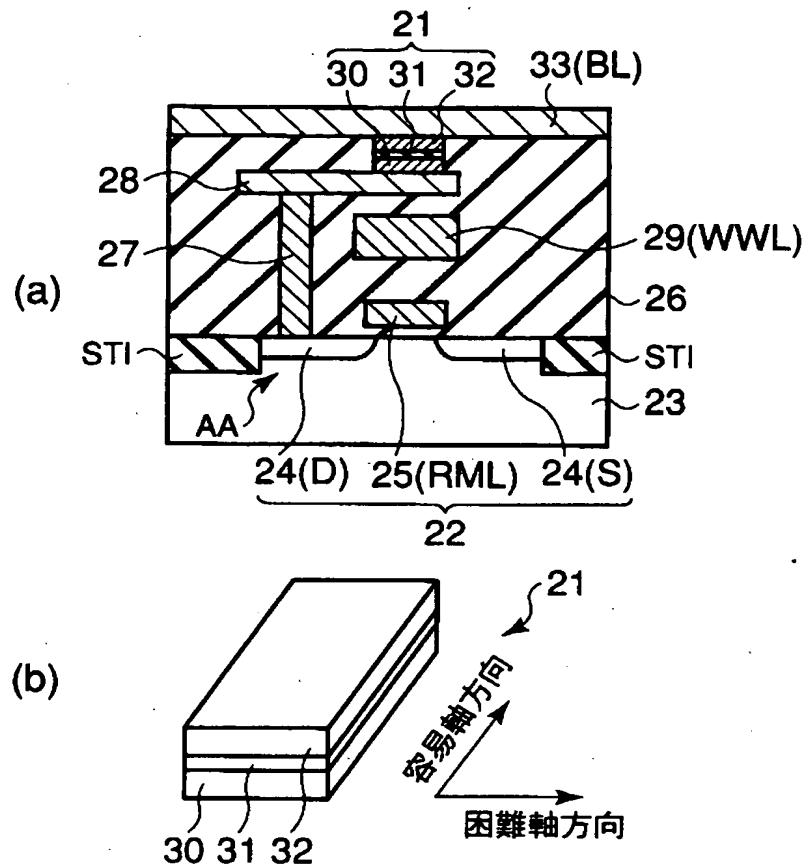
【図1】



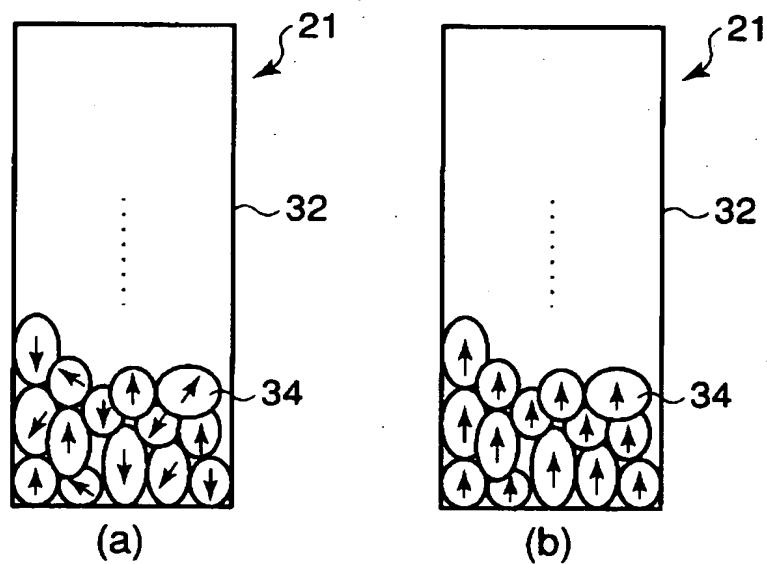
【図2】



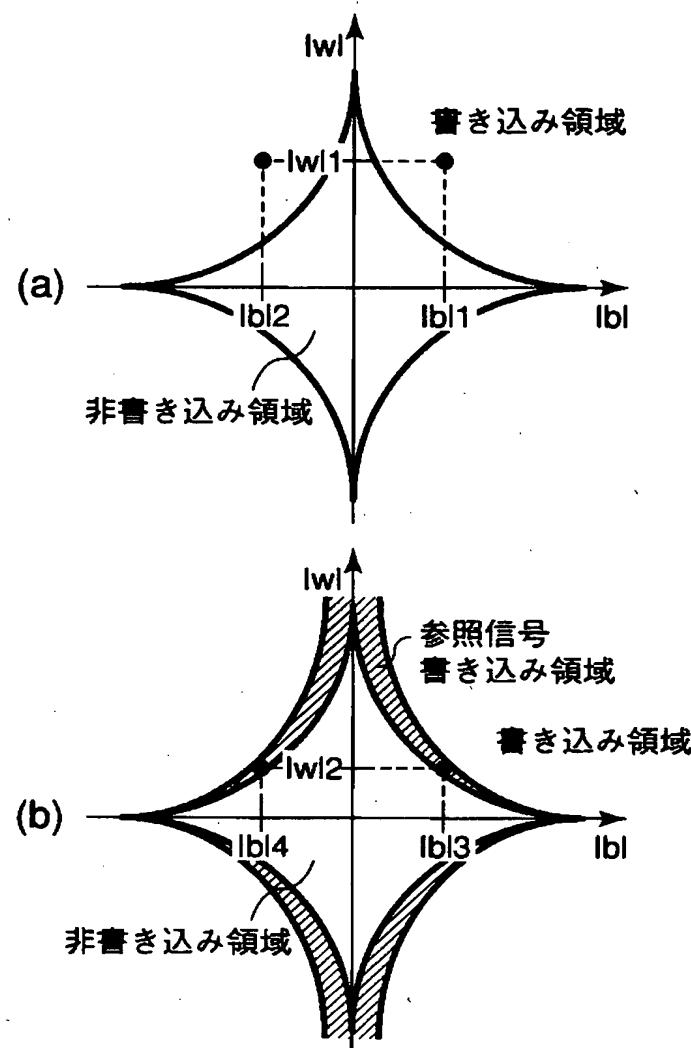
【図3】



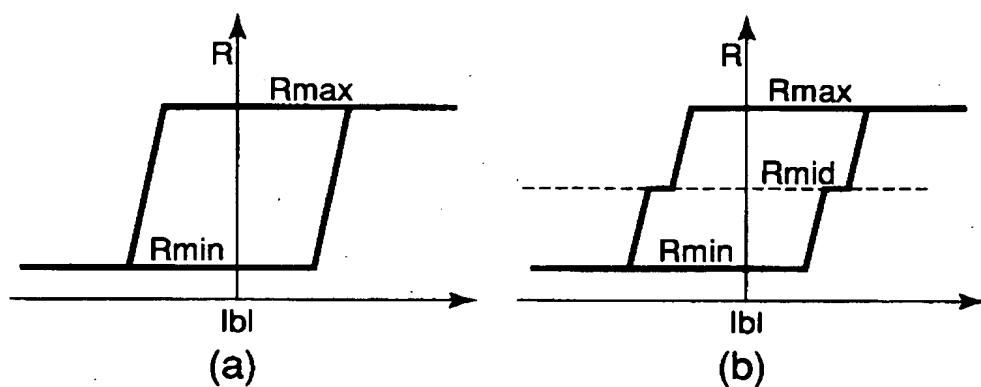
【図4】



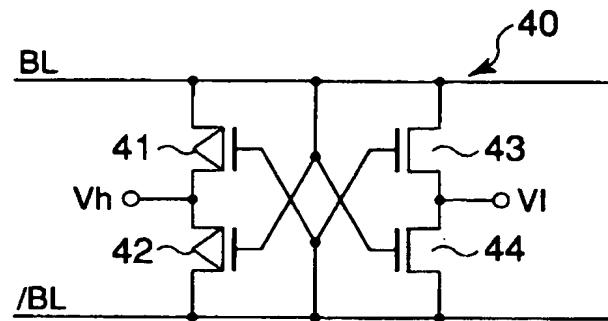
【図5】



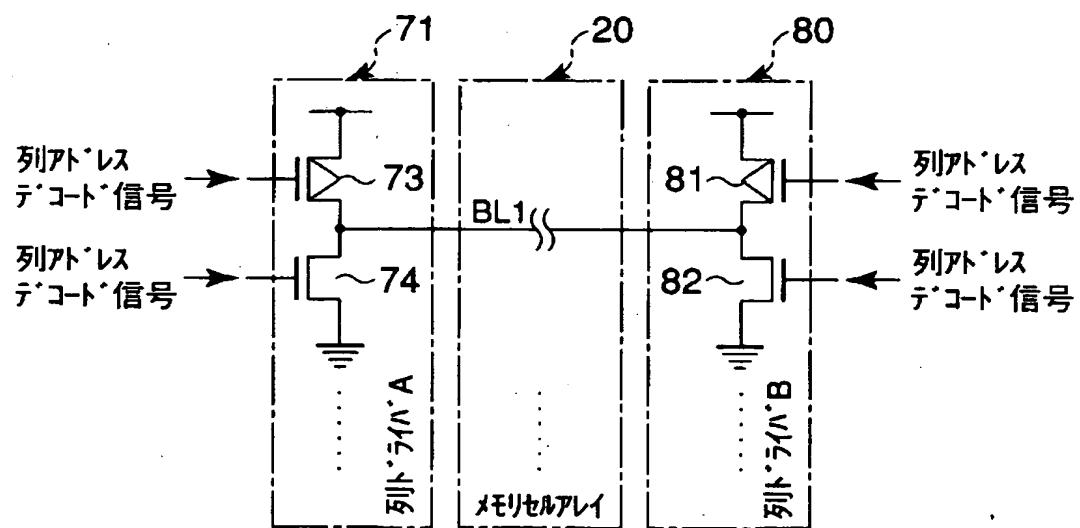
【図6】



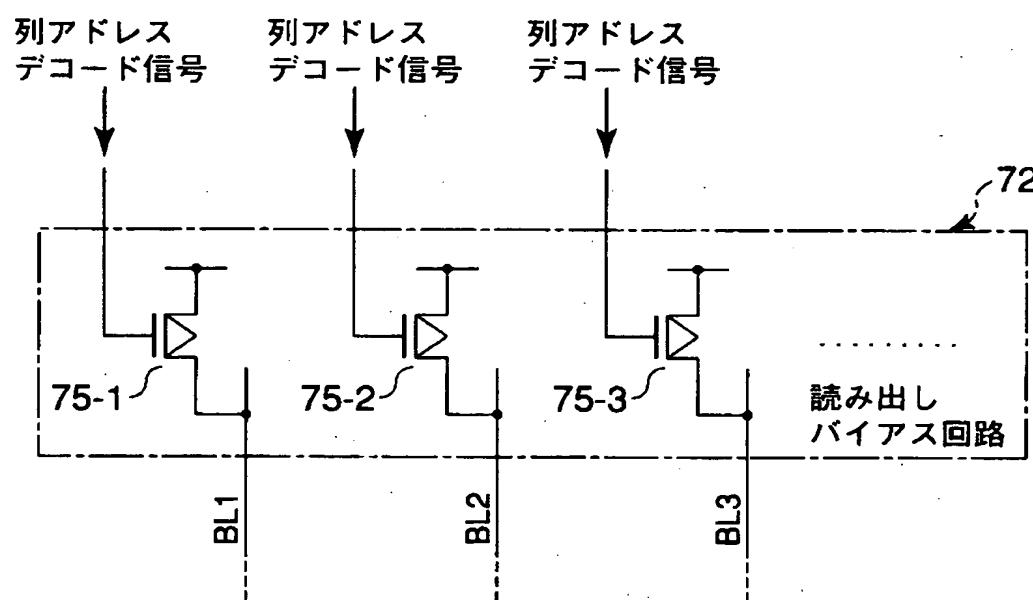
【図7】



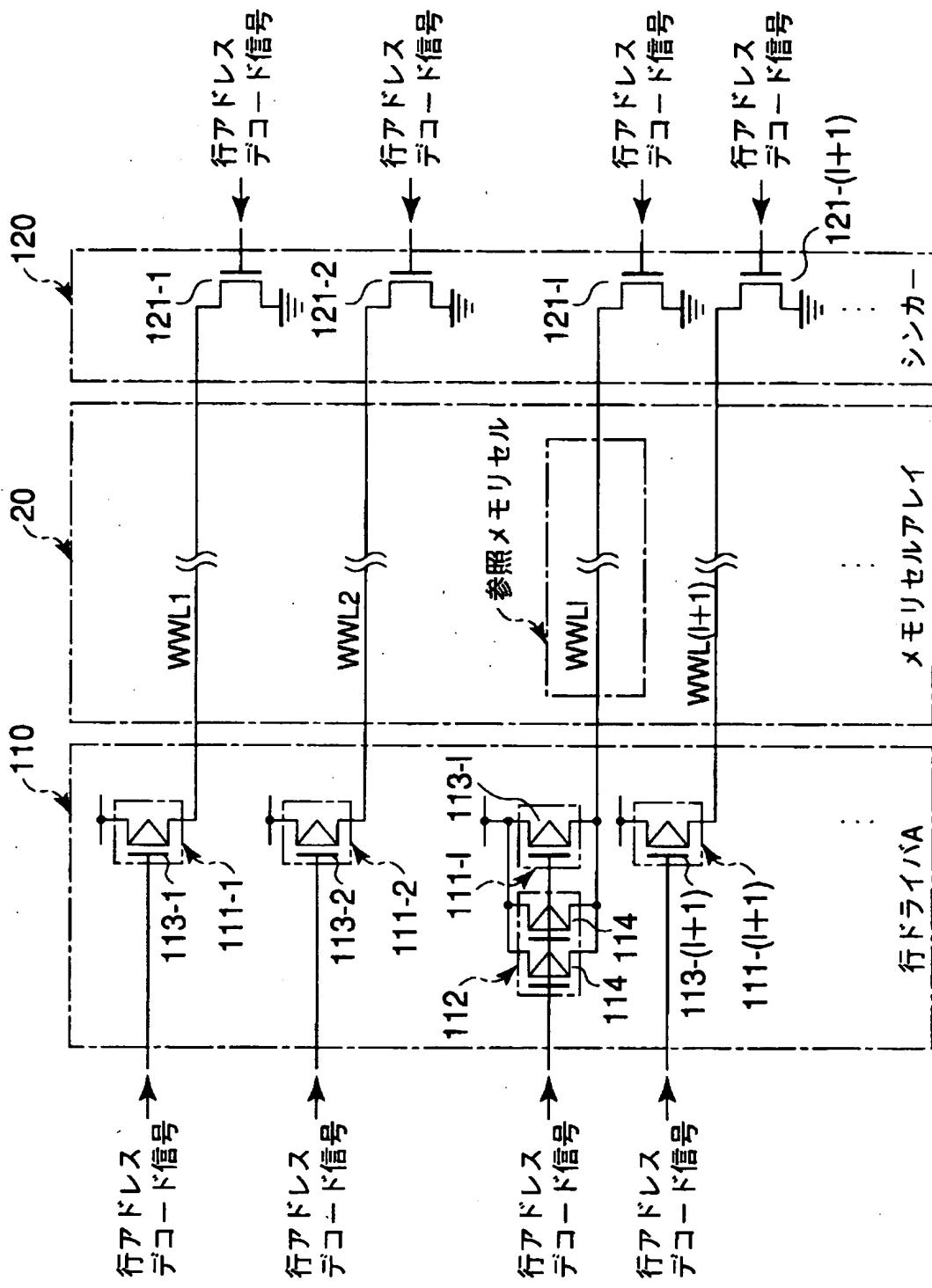
【図8】



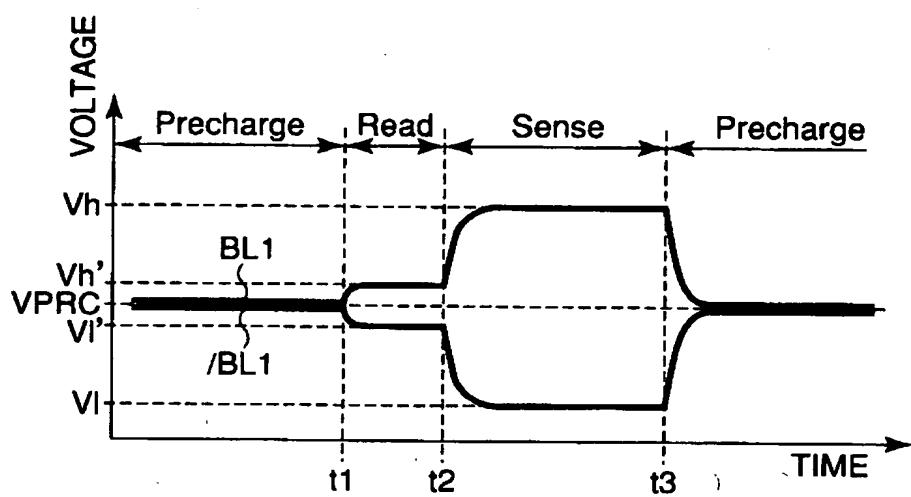
【図9】



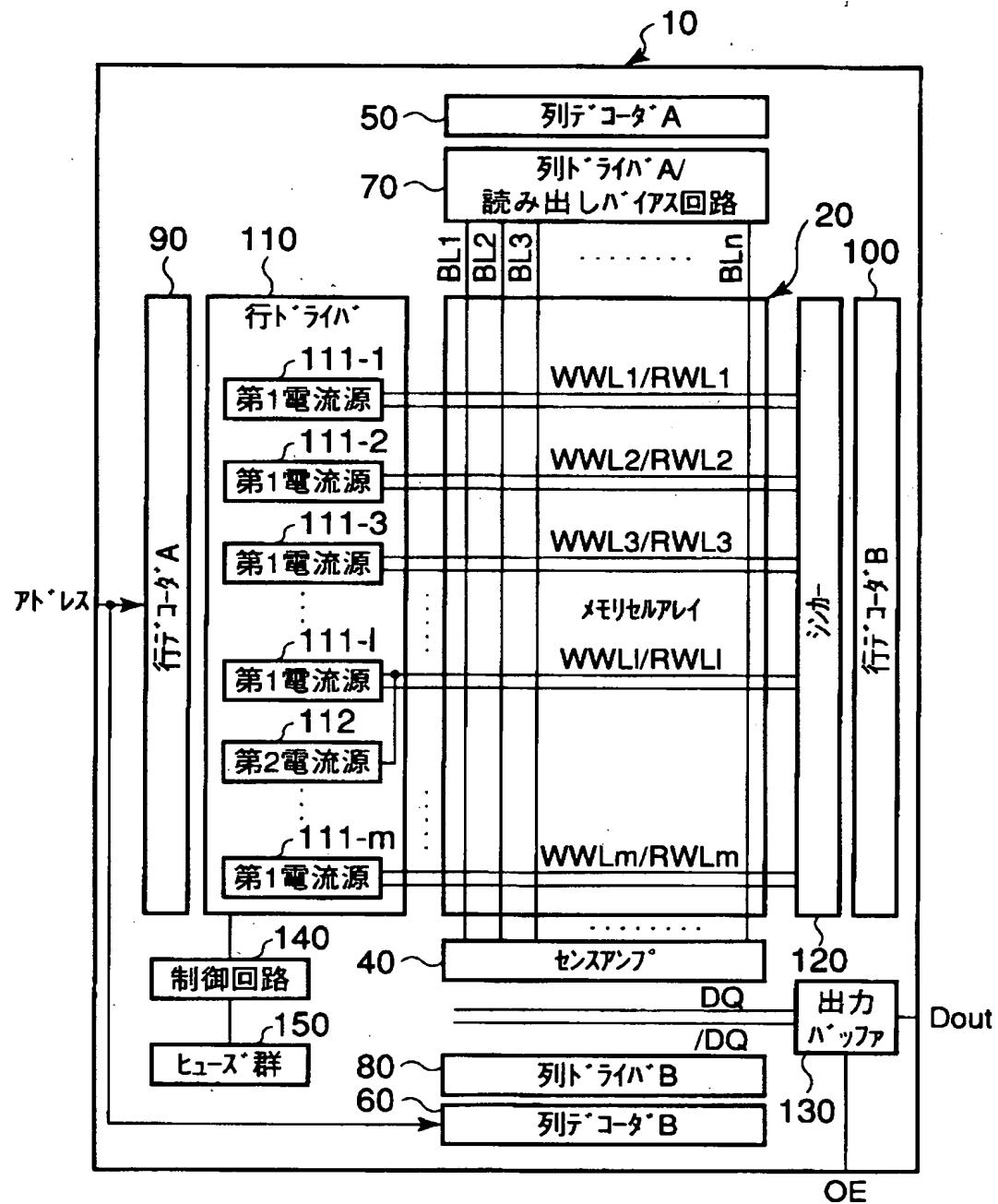
【図10】



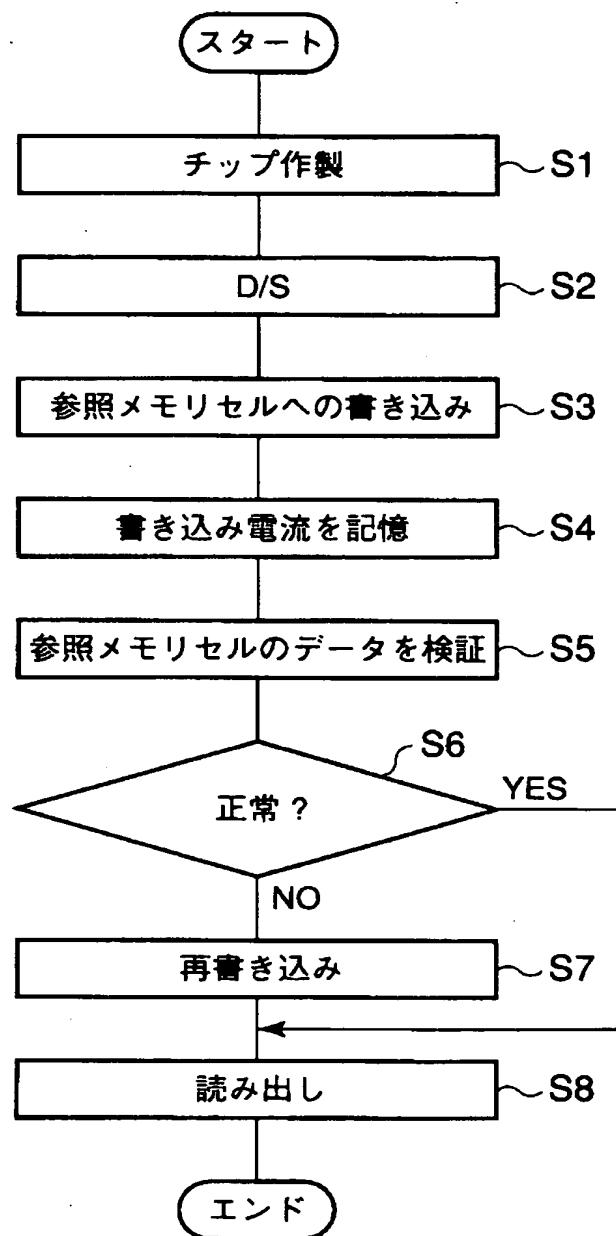
【図11】



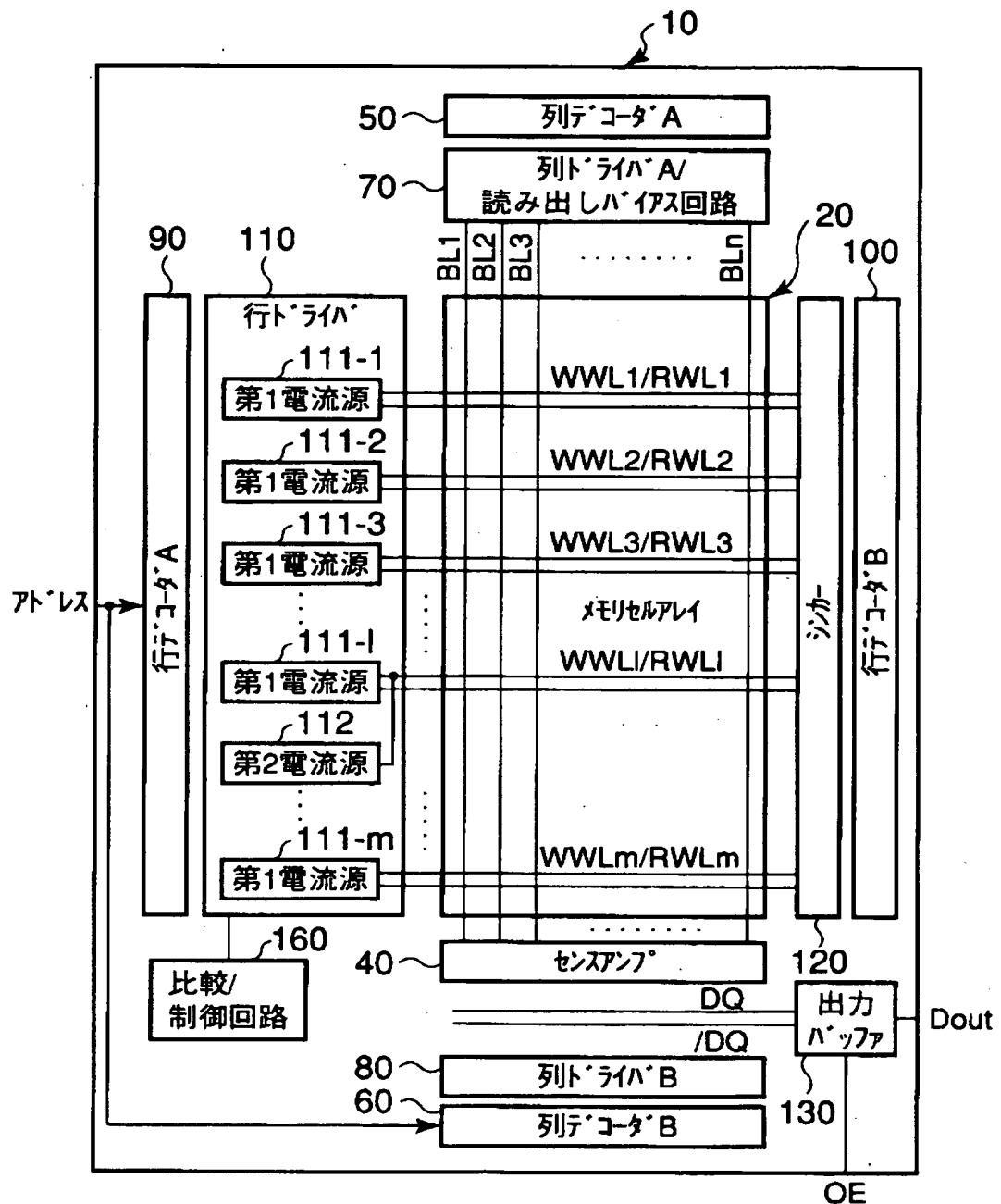
【図12】



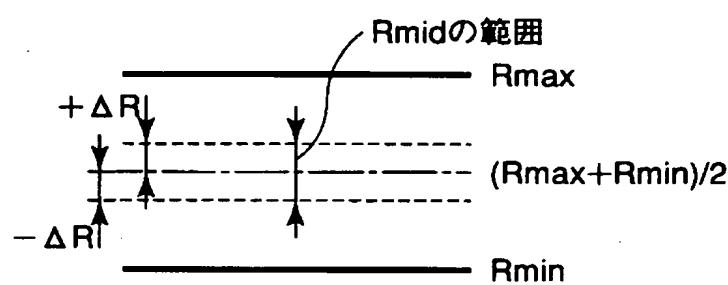
【図13】



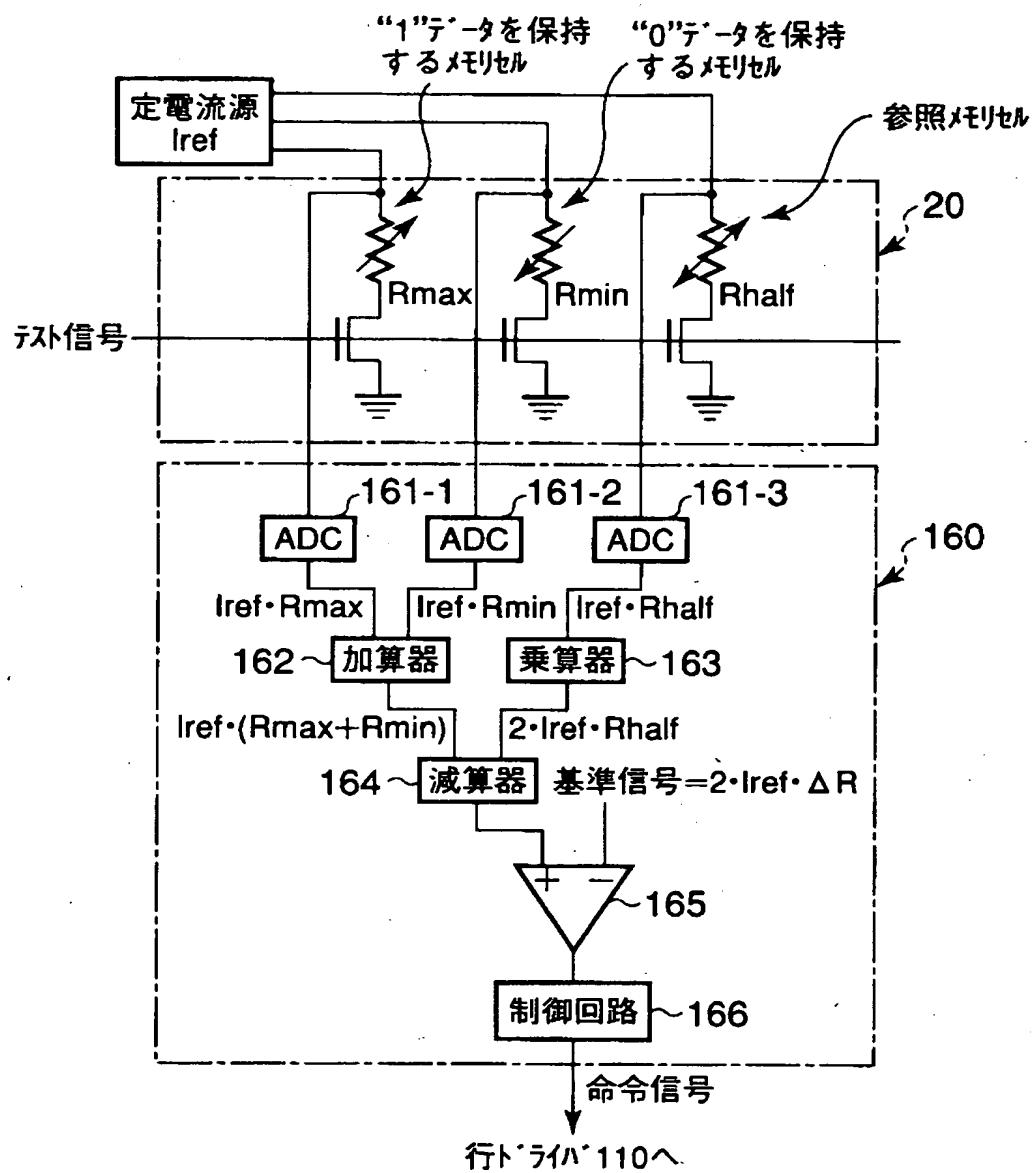
【図14】



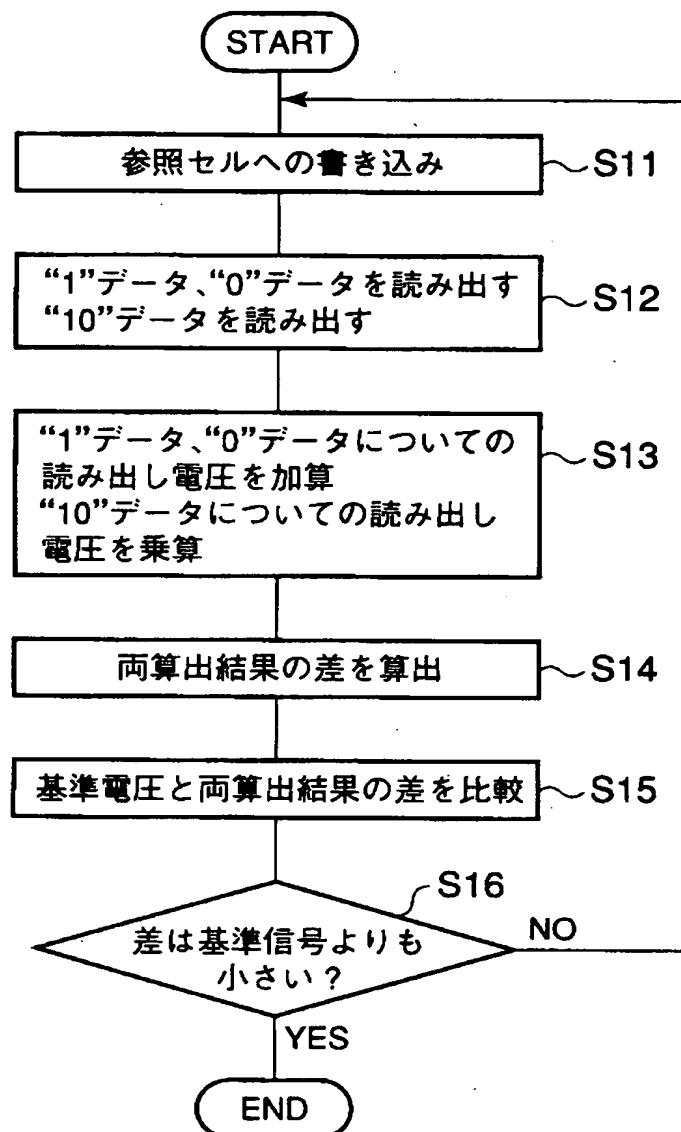
【図15】



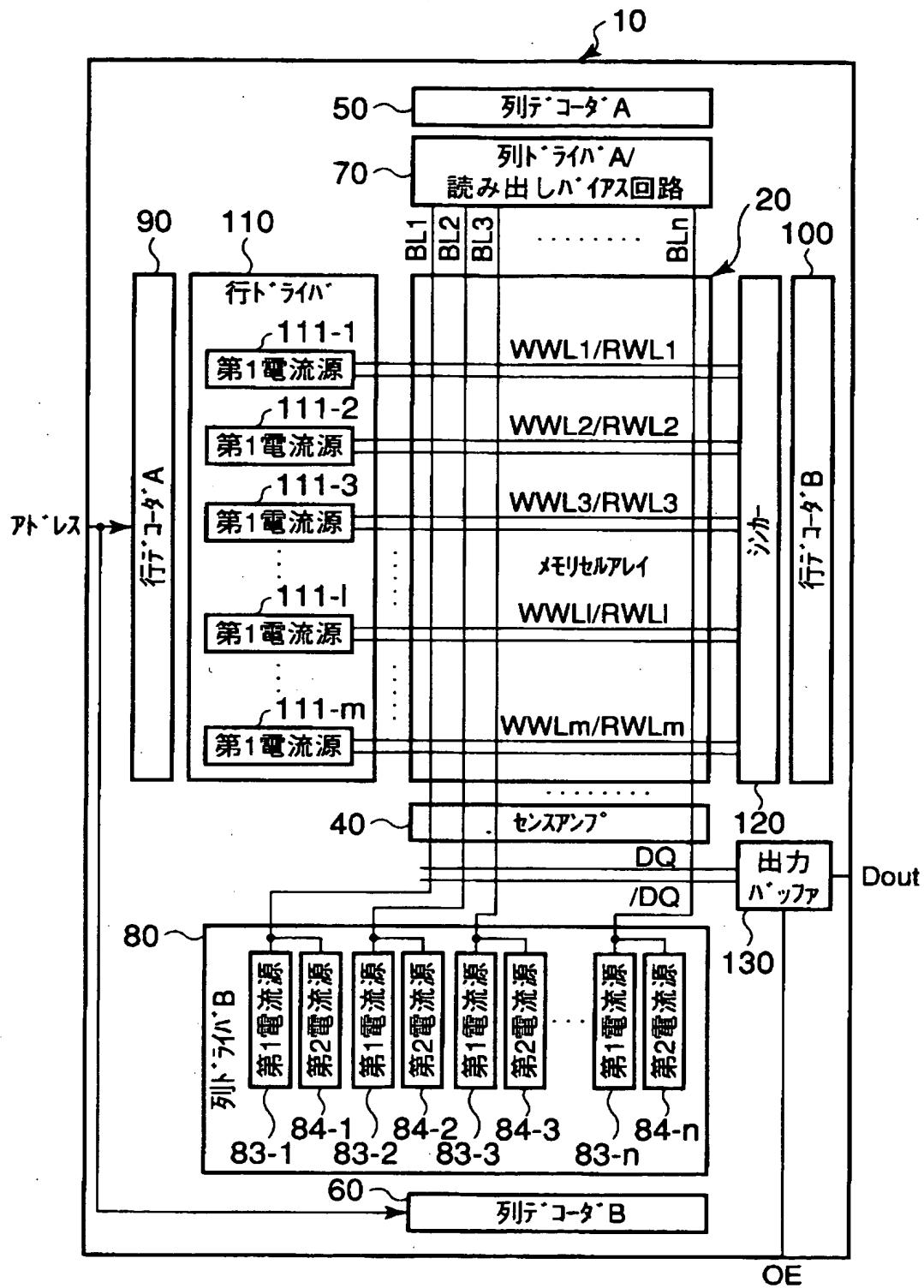
【図16】



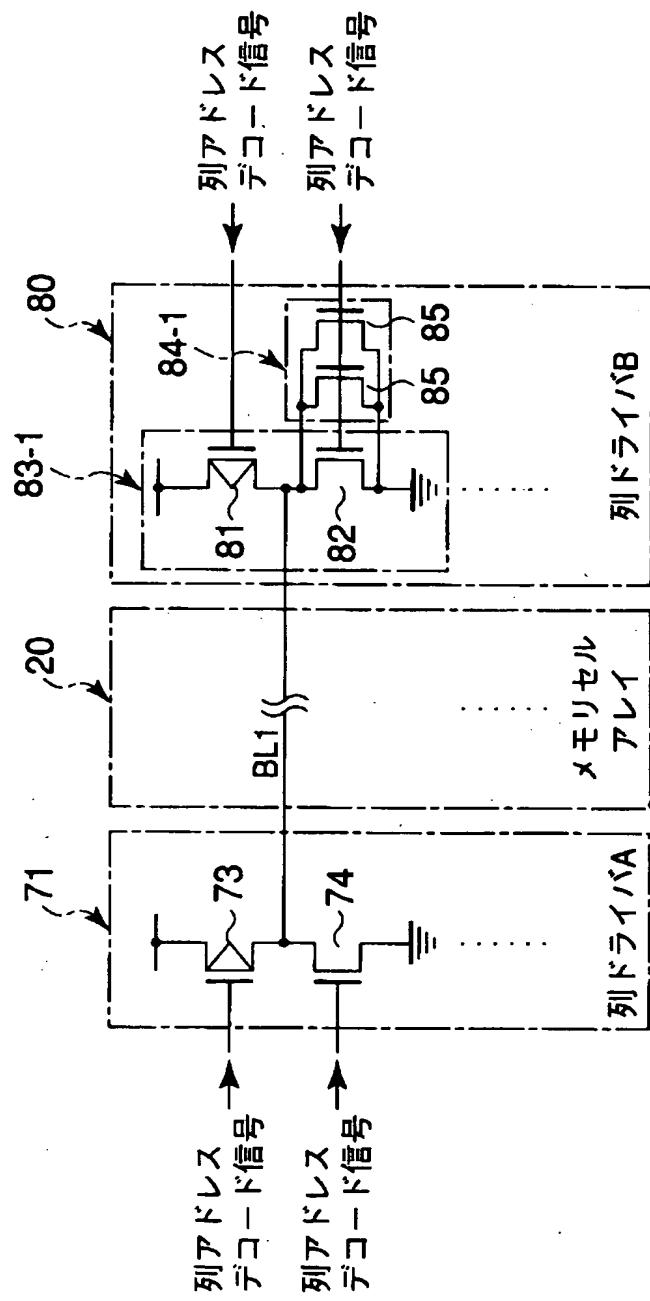
【図17】



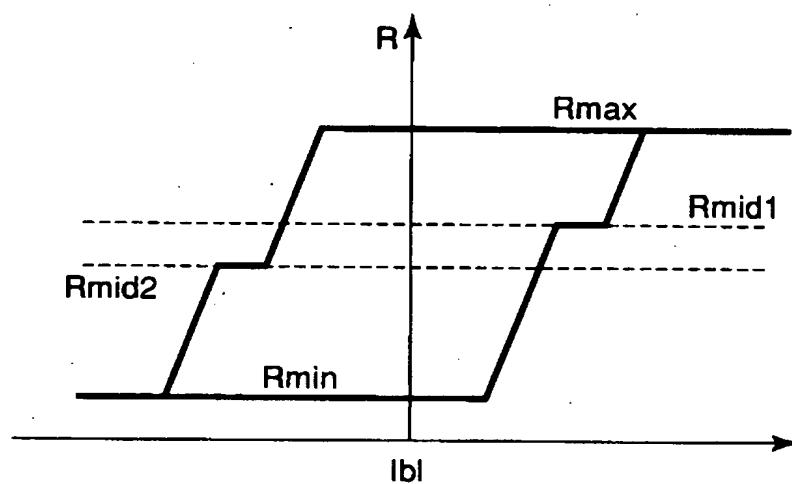
【図18】



【図19】



【図20】



【書類名】 要約書

【要約】

【課題】 面積増加を招くことなく読み出し動作の信頼性を向上できる半導体記憶装置及びその制御方法を提供すること。

【解決手段】 第1方向に沿って複数形成されたワード線と、前記第1方向に直交する第2方向に沿って複数形成されたビット線と、第1抵抗値と、該第1抵抗値よりも小さい第2抵抗値とのいずれかを有する磁気抵抗素子を含む第1メモリセルと、前記第1、第2抵抗値の間の抵抗値を有する磁気抵抗素子を含む第2メモリセルと、前記ワード線と前記ビット線との交点に配置された前記第1、第2メモリセルを有するメモリセルアレイと、前記ワード線及びビット線を選択する行・列デコーダと、前記ワード線及びビット線に第1、第2書き込み電流を供給する行・列ドライバと、前記行デコーダと列デコーダによって選択された前記第1メモリセルから読み出したデータを增幅するセンスアンプとを具備する。

【選択図】 図1

出願人履歴情報

識別番号 [000003078]

1. 変更年月日 2001年 7月 2日

[変更理由] 住所変更

住 所 東京都港区芝浦一丁目1番1号

氏 名 株式会社東芝